

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the possible information recording device of carrying out additional record of the new data which follow the written in data of a record medium. A clock generation means for a store to generate the clock signal for a store for writing the new data in said record medium, synchronizing said new data, A clock playback means to read said written in data in said record medium, to reproduce the clock signal for a synchronization of said written in data, and to generate a playback clock signal. The information recording device characterized by having a phase adjustment means to synchronize the phase of said clock signal for a store with the phase of said playback clock signal.

[Claim 2] A synchronizing signal detection means for said written in data to be data with which a specific synchronizing signal is allotted for every predetermined data block, and to detect said specific synchronizing signal from said written in data, counting based on [answer the detection timing of said specific synchronizing signal by said synchronizing signal detection means, and] said playback clock signal -- counting which starts actuation -- with a means said counting -- the information recording device according to claim 1 characterized by having further the control means which sets the write-in initiation time to said record medium of said new data based on the enumerated data by the means.

[Claim 3] Said phase adjustment means is an information recording device according to claim 1 or 2 characterized by synchronizing the phase of said clock signal for a store with the phase of the playback clock signal acquired from said written in data in the predetermined period before the additional recording start location of said new data in said record medium.

[Claim 4] Said phase adjustment means is an information recording device according to claim 1, 2, or 3 characterized by returning said clock signal for a store to the frequency and phase of a proper with a predetermined time constant at said clock generation means for a store after synchronizing the phase of said clock signal for a store with the phase of said playback clock signal.

[Claim 5] It is the possible information recording device of carrying out additional record of the new data which follow the written in data of a record medium. The comparison means which carries out the value comparison of the initial-data section corresponding to said predetermined amount of information allotted to the head of the rear data division corresponding to the predetermined amount of information allotted to the last of said written in data, and said new data, The information recording device characterized by having the control means which makes the value of said new data change when it is judged that the value of said rear data division and the value of said initial-data section are in agreement with said comparison means.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the information recording device which records information on the record medium like the optical disk of the lilac ITABURU (RW:Rewritable) mold which can rewrite information repeatedly in the write-once (WO:Write Once) mold which can write information in the same part only at once, or the same part in which additional record is possible about an information recording device.

[0002]

[Description of the Prior Art] In this kind of information recording apparatus, when writing information data in a disk recordable [additional], the clock signal for a store for writing in that information data is generated, synchronizing to the information data which should be written in. If it puts in another way, usually information data will be written in a disk, taking a synchronization (for example, the so-called bit synchronization) to the clock signal for a store of the generated stable predetermined frequency. Generally this clock signal for a store is generated from reference clock generators, such as a crystal oscillator in which an oscillation output is [independently] possible.

[0003] However, when making the postscript whose information data continue at information data [finishing / the store], and already write in new information data to a part or the disk currently written in partially, or additional record, the difference in a phase may arise between the clock signal for a store used for information data [finishing / a store], and the clock signal for a store used for new information data.

[0004] In this case, the disk obtained after new data logging may be read, and it may become often difficult for reproducing the clock signal for a synchronization of the reading data of the disk concerned near the bond part of the information data of the order concerned in the actuation which carries out continuation playback of the information data of this order. Especially when a postscript is added with other information recording apparatus to the disk in which information data were written by one certain information recording apparatus Even if these information recording device is of the same kind, the clock signal for a store will be generated from a separate generation source at the time of each record. It cannot deny that precedence information data and its consecutiveness information data will be written in with the clock signal for a store with which not only a phase but frequencies differ.

[0005] Although the PLL (Phase Locked Loop) circuit which considers a reading signal as an input is used for playback of the clock signal for a synchronization of reading data, the disk on which the information data of precedence and consecutiveness were recorded with the clock signal for a store which has great difference in a phase or a frequency will disturb the synchronous operation of a PLL circuit greatly [near the bond part of these lead data and consecutiveness data]. Consequently, the decoder which performs decode processing of reading data based on the clock signal for a synchronization of reading data may incorrect-detect the various data in reading data.

[0006] Moreover, although the format which bears predetermined amount of information other than a bit synchronization which was mentioned above and to which a specific synchronizing signal is allotted for every data block is taken and he is trying to be made in the synchronization about the data block concerned at the time of playback, even if it makes into such a specific synchronizing signal the data written in a disk, they are arranged at data based on the clock signal for a store. Therefore, like ****, spacing with the specific synchronizing signal allotted first will be greatly different from the specific synchronizing signal allotted to precedence information data at the end and consecutiveness information data to spacing of the back before it with the write-in clock signal which carries out and has great difference in the phase and frequency to produce, and the detection impossible of a specific synchronizing signal and incorrect detection at the time of playback may be caused. In a player with the especially low ability to detect of this specific synchronizing signal, it is a serious problem.

[0007]

[Problem(s) to be Solved by the Invention] Therefore, this invention is made in view of such a problem, and the place made into the purpose is to offer the information recording device which can take the record gestalt to the record medium which makes it possible to carry out continuation playback of the data followed and added to written in data and this smoothly, without disturbing the synchronous operation of reading data at the time of information playback.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the equipment by this invention It is the possible information recording device of carrying out additional record of the new data which follow the written in data of a record medium. A clock generation means for a store to generate the clock signal for a store for writing the new data in said record medium, synchronizing said new data, A clock playback means to read said written in data in said record medium, to reproduce the clock signal for a synchronization of said written in data, and to generate a playback clock signal, It is characterized by having a phase adjustment means to synchronize the phase of said clock signal for a store with the phase of said playback clock signal.

[0009] A synchronizing signal detection means for the above-mentioned information recording apparatus to use said written in data as the data with which a specific synchronizing signal is allotted for every predetermined data block, and to detect said specific synchronizing signal from said written in data, counting based on [answer the detection timing of said specific synchronizing signal by said synchronizing signal detection means, and] said playback clock signal -- counting which starts actuation -- with a means said counting -- it can constitute so that it may have further the control means which sets the write-in initiation time to said record medium of said new data based on the enumerated data by the means.

[0010] In the above-mentioned information recording apparatus, said phase adjustment means can synchronize the phase of said clock signal for a store with the phase of the playback clock signal acquired from said written in data in the predetermined period before the additional recording start location of said new data in said record medium. In the above-mentioned information recording device, after synchronizing the phase of said clock signal for a store with the phase of said playback clock signal, said phase adjustment means can be constituted so that said clock signal for a store may be returned to said clock generation means for a store with a predetermined time constant at the frequency and phase of a proper.

[0011] Moreover, the equipment by this invention is a possible information recording device of carrying out additional record of the new data which follow the written in data of a record medium. The comparison means which carries out the value comparison of the initial-data section corresponding to said predetermined amount of information allotted to the head of the rear data division corresponding to the predetermined amount of information allotted to the last of said written in data, and said new data. When it is judged that the value of said rear data division and the value of said initial-data section are in agreement with said comparison means, it is characterized by having the control means which makes the value of said new data change.

[0012]

[Embodiment of the Invention] Hereafter, the example of this invention is explained to a detail, referring to a drawing. First, the general physical format at the time of writing information in DVD-R (Digital Video Disc-Recordable) as one of the record media in which additional record is possible is explained using drawing 1 thru/or drawing 3.

[0013] Error correction processing performed to DVD-R is performed additionally considering an ECC (Error Correction code) block as the error unit. This ECC block is formed based on the data sector shown in drawing 1. The original information recorded on DVD-R constitutes the physical structure containing two or more data sectors 20 like drawing 1, and is constituted. The ID information 21 one data sector 20 indicates the starting position of the data sector 20 to be from the head, ID information error correcting code 22 for correcting the error of the ID information 21 concerned (IEC:ID Data Error correction Code), Preliminary data 23 and the data 24 which bear the main information which should be essentially recorded on the disks concerned, such as an image, and voice or computer data. The error detection code (EDC:Error Detection Code) 25 for detecting the error in data 24 is constituted by the block data allotted in order. In DVD-R, the original information which should be recorded when two or more these data sectors 20 continue is constituted.

[0014] Such a data sector 20 is carried out like drawing 2, and is used for construction of an ECC block. As shown in introduction and drawing 2 (A), one data sector 20 is divided every 172 bytes, and the divided data (this is hereafter called a data block 33) are arranged in perpendicularly, respectively. When it does so, perpendicularly, the data block 33 of 12 lines will be located in a line.

[0015] Subsequently, as shown in drawing 2 (B), the sign 31 in [of 10 bytes] ECC (PI (Parity In) sign) is assigned to each data block 33, respectively. One correction block 34 is constituted by adding the sign 31 in ECC to the tail of the data block 33 concerned. In this phase, the correction block 34 containing the sign 31 in ECC will be arranged in perpendicularly 12 lines. And as for attached processing of such a sign 31 in ECC, the data sector 20 is repeated by 16 pieces. Thereby, the correction block 34 of 192 lines is acquired.

[0016] In drawing 2 (B), further, to the block data which is put in order and formed perpendicularly, the correction block 34 of **** of 192 lines mentioned above divides perpendicularly for every byte, and adds the sign 32 outside [ECC] 16 pieces (PO (Parity Out) sign) to it to the divided data shortly. In addition, the sign 32 outside ECC is added also to the part of the sign 31 in ECC among the above-mentioned correction blocks 34.

[0017] In this way, one ECC block 30 containing 16 data sectors 20 is formed. In addition, the gross information content which one ECC block 30 bears so that the above explanation may show is [Equation 1]. Cutting tool x (192+16) line = (172+10) It is 37856 bytes, among these the information data 24 are [Equation 2]. It becomes 2048 byte x16=32768 byte.

[0018] Moreover, in drawing 2 (B), **** which "D#*" Becomes 1 byte each of data which constitute the ECC block 30 is given. For example, "D1.0" shows 1 byte of data arranged at the 1st line 0th train, and "D190.170" shows 1 byte of data arranged at the 190th line 170th train. Therefore, the sign 31 in ECC will be arranged at the 172nd train thru/or 181 trains, and the sign 32 outside ECC will be arranged at the 192nd line thru/or the 207th line.

[0019] Furthermore, since one correction block 34 is continuously recorded on DVD-R, the error of the whole block concerned may generate it. However, as shown in drawing 2 (B), since the ECC block 30 is constituted so that the both sides of the sign 31 in ECC and the sign 32 outside ECC may be included, it can correct the data horizontally located in a line in drawing 2 (B), and can correct the data perpendicularly located in a line in drawing 2 (B) with the sign 31 in ECC with the sign 32 outside ECC. This becomes horizontally possible to perform the error correction of the duplex in a perpendicular direction in the ECC block 30 shown in drawing 2 (B), and an error correction can be more powerfully done as compared with the error correction processing used for the conventional CD (Compact Disk) etc.

[0020] If it explains in full detail per this point, even if one correction block 34 (continuously recorded on DVD-R as mentioned above including a total of 182 bytes of data including the sign 31 in ECC for one line.) will be altogether destroyed by the trauma of DVD-R etc., for example, when it is seen from a perpendicular direction, it cannot but be 1

byte of data corruption to the sign 32 outside ECC of one train. Therefore, if an error correction is performed using the sign 32 outside ECC corresponding to each train, even if all one correction blocks 34 are destroyed, an error correction can be performed and it can reproduce correctly.

[0021] The concrete record gestalt over DVD-R of this ECC block 30 is shown in drawing 3. In addition, in drawing 3, the 1-byte data ****(ed) by "D#*" are the same as that of what was similarly ****(ed) in drawing 2 (B). First, the ECC block 30 is horizontally put in order and interleaved by the single tier every correction block 34, as shown in the maximum upper case of drawing 3. Thereby, it is changed into 16 recording sectors 40 as shown in the 2nd step of drawing 3. In this conversion, one recording sector 40 will include 2366 bytes (37856 byte /16) of information, and the data sector 20, the sign 31 in ECC, or the sign 32 outside ECC is intermingled in this. However, in the head of each recording sector 40, the ID information 21 (refer to drawing 1) in the data sector 20 is arranged.

[0022] As this one recording sector 40 is shown in the 3rd step of drawing 3, it is divided into the data 41 in every 91 bytes, and Header H is added to each. Then, it becomes irregular eight to 16 times, and the recording sector 40 of this header addition condition is changed into the sink frame 42 for every data 41 and its header, as shown in the bottom of drawing 3. One sink frame 42 will be constituted by header H' and data 43 after conversion. Moreover, the amount of information of one sink frame 42 is [Equation.3]. $91 \text{ byte} \times 8 \times (16/8) = 1456\text{-channel bit}$ (however if sink information is included 1488-channel bit)

It is written in DVD-R with the gestalt which a next door and this sink frame 42 followed. At this time, one recording sector 40 will contain 26 sink frames 42.

[0023] If eight to 16 recovery and a day interleave are performed in case the information concerned is reproduced by recording information on DVD-R according to the physical format explained above (refer to drawing 3), the original ECC block 30 can be restored, a powerful error correction which was mentioned above can be performed, and information can be reproduced correctly. Although information is recorded on DVD-R in this way with the gestalt of a sink frame sequence as shown in the bottom of drawing 3, the record is made in the truck beforehand defined in DVD-R.

[0024] Drawing 4 shows the structure of the recording layer of DVD-R including the truck which bears the logged point of this information. In drawing 4, the land truck 3 for the coloring matter film 5 being formed, and DVD-R1 adjoining the informational groove truck 2 which can be written in and the informational groove truck 2 of the above-mentioned sink frame sequence, and making the laser beam B as reading light or a write-in (record) light guide to the groove truck 2 is formed. The groove truck 2 is seen from the generation source side of a laser beam B, and it is made a concave, and the land truck 3 is seen from this generation source side, is made convex, and it is formed so that the golden vacuum evaporation side 6 as a light reflex side for reflecting Beam B may be supported.

[0025] The so-called wobbling which surges in the shape of a wave on a predetermined frequency (for example, frequency corresponding to the proper rotational speed of the disk concerned) in the direction where the groove truck 2 is parallel to the flat side of the disk concerned is given. By using this wobbling, it is possible to perform the roll control of the disk concerned at the time of information reading. PURIPITTO 4 which bears record control information, such as timing control information for controlling the address information and record timing which show the record location of DVD-R1, is formed in the land truck 3.

[0026] The above-mentioned wobbling and PURIPITTO 4 are beforehand formed for this groove truck 2 and the land truck 3 from the first at the time of production of DVD-R1. If it adds, wobbling and PURIPITTO 4 will bear the established recording information already formed (record), before writing in the first information. At the time of information record of DVD-R1 which has such structure, light beam B is irradiated by DVD-R1 so that the core of light beam B may be in agreement with the core of the groove truck 2, and the pit corresponding to the above-mentioned sink frame sequence is formed in the groove truck 2. At this time, as shown in drawing 4, the magnitude of the spot SP of light beam B is set up so that a part of spot concerned may be irradiated by the land truck 3. Moreover, the established recording information of the disk proper concerned which PURIPITTO 4 is detected by the push pull method using a part of reflected lights of the optical spot SP irradiated by this land truck 3, and that PURIPITTO shows is acquired. Furthermore, the wobble signal according to wobbling of the groove truck 2 is detected using the reflected light of the optical spot SP currently irradiated by the groove truck 2, and the roll control of DVD-R1 based on this wobble signal is performed.

[0027] PURIPITTO (LPP (Land Pre Pit) is called hereafter) 4 formed in the land truck 3 at the data list of the sink frame sequence written in the groove truck 2 and this is considered as the correspondence relation like drawing 5. As shown in drawing 5, along with the center line, the data of the sink frame sequence which is recording information are recorded on the groove truck 2. It is controlled so that one sink frame per eight wobbling periods which the groove truck 2 presents is recorded on the occasion of this record. A wobbling frequency covers all sink frames and is set constant 140kHz (proper reading rate reduced property).

[0028] As explained to the head of a sink frame in previous drawing 3, header H' is allotted and the synchronizing signal SY is assigned to the header at the tip. This synchronizing signal SY is formed in order to take the synchronization of a sink frame, and it has the same-waveform symbol of the die length of 14T. Here, T is equivalent to bit spacing in the data sequence before 8-16 modulation as shown in the 3rd step of drawing 3. A sink frame has the die length of 1488T.

[0029] On the other hand, LPP4 is formed in the location corresponding to a upward arrow head at drawing 5. That is, it is formed in the land truck 2 which is a location corresponding to either the wave crest presented by wobbling of the groove truck 2 in drawing 5, or a trough, moreover counts from the head in a sink frame, and adjoins the three locations concerned, and he is trying to get. however, one recording sector (refer to drawing 3) -- setting -- the even-numbered sink frame (EVEN frame) -- or LPP4 is made to be formed only in the odd-numbered sink frame (ODD frame). In drawing 5, the case where LPP4 is formed only for the EVEN frame is shown, and LPP4 is not formed in the location corresponding to a upward dotted-line arrow head. LPP4 allotted to the head of a sink frame most in

near is formed in a synchronization, and is surely made to be allotted corresponding to the defined even number or the odd-numbered frame. This LPP4 for a synchronization bears the address information on the recording surface of DVD-R, and the address information is identified per recording sector.

[0030] In addition, the formation location of LPP4 is mostly matched with the record location of the synchronizing signal SY in the sink frame data written in the groove track 2 so that this drawing 5 may also show. The information recording apparatus by this example can treat DVD-R in which established recording information is formed in with the above gestalten, and sink frame sequence data are written, and explains the detail hereafter.

[0031] Drawing 6 shows the rough configuration of this information recording device. The laser beam is irradiated in drawing 6 by the pickup 60 as an optical head in which an output of a laser beam is possible on the both sides of reading light level and write-in light level, DVD-R1 (it only being hereafter called a disk) rotating with a spindle motor 50. This laser beam that carried out incidence to the disk turns into the reflected light of the condition according to recording information, and is led to pickup 60 while it reaches the reflector (refer to drawing 4) of the disk concerned.

[0032] Pickup 60 builds in the photo-electric-conversion circuit containing a photo detector, and receives the reflected light from a disk, and makes the photo electric conversion according to the light-receiving level and condition. The photo-electric-conversion output is supplied to a regenerative amplifier 61 as a reading signal. A regenerative amplifier 61 amplifies the supplied reading signal, and supplies the amplified reading signal to the wobble detector 63 and the LPP (PURIPITTO) detector 64 through a band-pass filter (BPF) 62.

[0033] The wobble detector 63 detects or extracts the above-mentioned wobble signal from a reading signal, and supplies this to one input of the cross talk removal circuit 65. The LPP detector 64 detects above-mentioned PURIPITTO 4 from a reading signal, and generates the PURIPITTO signal according to the detection result. A PURIPITTO signal is supplied to the PURIPITTO (LPP) decoder 66 while it is supplied to the other inputs of the cross talk removal circuit 65.

[0034] The cross talk removal circuit 65 has the function to remove the jitter component resulting from the cross talk contained in a wobble signal based on a PURIPITTO signal, and supplies the wobble signal after removal to the PLL circuit 70 for wobble synchronous-clock generation. The wobble signal acquired will have the precision depending on the detection precision of the PURIPITTO signal based on the residual error which it cannot finish taking by time-axis servoes, such as a spindle servo, on a time-axis. If another word is carried out, I hear that the wobble signal acquired includes the error (about $\pm 5T$) of the PURIPITTO signal by residual error, and there is.

[0035] The phase comparator 71 which the PLL circuit 70 makes the force the wobble signal by which cross talk removal was carried out much more, carries out the phase comparison of this to other input signals, and outputs the error signal according to both phase contrast. The low pass filter 72 which makes the low-frequency component of an error signal pass (LPF), It is constituted by the counting-down circuit 74 which carries out dividing of the oscillation output clock signal of VCO73 and VCO73 to which an oscillation frequency is changed according to this filter output, generates the signal of a frequency equivalent to a wobble signal, and is supplied to the other inputs of a phase comparator 71. The output clock signal of VCO73 serves as a radical of the clock for a store, and is supplied to the phase doubling circuit 80 as a clock signal WCK0 for a original store which carried out phase simulation, the output, i.e., the wobble signal, of the PLL circuit 70. The PLL circuit 70 corresponds to the clock generation means for a store.

[0036] The reading signal amplified from the regenerative amplifier 61 is supplied to the main data decoder 67, the bit clock regenerative circuit 68, and the sink detector 69 again. The main data decoder 67 performs processing which restores data 24, performing error correction processing from an ECC block to a reading signal including data processing of 8-16 recovery or a day interleave (refer to drawing 1 thru/or drawing 3), and the restored data are transmitted to CPU9. CPU9 sends this transmitted restoration data to the playback data-processing system which is not illustrated for making actual sound output, a video output, or data output. On the other hand, from the detected PURIPITTO signal, the LPP decoder 66 detects the address information and sink frame synchronization information which show the record location in the recording surface of a disk, and sends these to CPU9. CPU9 performs various processings using the address and sink frame synchronization information based on this PURIPITTO signal.

[0037] The clock regenerative circuit 68 reproduces the clock for bit synchronizations of the data which a reading signal bears (it has a period T), and the output is supplied to CPU9 and the phase doubling circuit 80 as a playback clock RCK. The sink detector 69 detects the synchronizing signal SY (refer to drawing 5) as a specific synchronizing signal contained in a reading signal. The sink detector 69 generates sink detecting-signal SY' of the shape for example, of a pulse which answered detection of a synchronizing signal SY. This sink detecting signal is supplied to CPU9 and the phase doubling circuit 80.

[0038] The phase doubling circuit 80 is the clock signal WCK0 for a original store which carried out phase simulation to the wobble signal from the PLL circuit 70. The phase shifter 81 which can shift a phase, The phase comparator 82 which makes the output signal of a phase shifter 81 the force much more, and outputs the error signal according to both phase contrast by considering the playback clock signal RCK from the above-mentioned clock regenerative circuit 68 as other inputs, The low pass filter 83 which makes the low-pass component of an error signal pass (LPF), The sample hold (S/H) circuit 84 which answers a sample hold timing signal, carries out the sample of the value of the output signal of LPF83, and holds it, The adder 85 adding the value and offset value of an output signal of a sample hold circuit 84, The offset value generating circuit 86 which supplies a predetermined offset value to an adder 85, Reference signal V0 corresponding to the amount of phase shifts [consider the addition output of an adder 85 as one input, and] at the time of the stationary of a phase shifter 81 The loop-formation switch 87 which considers as the input of another side and outputs either of these two inputs to a phase shifter 81 alternatively according to the loop control signal from CPU9, It is constituted by the S/H timing generation circuit 88 which generates the sample hold (S/H) timing signal to the S/H circuit 84 based on the output playback clock signal of the clock regenerative circuit

68, the output sink detecting signal of the sink detector 69, and the control signal from CPU9. The phase doubling circuit 80 bears a phase adjustment means.

[0039] In this phase doubling circuit 80, when CPU9 generates a loop control signal to the loop-formation switch 87 so that the output of an adder 85 may be chosen (at the time of loop-formation closing), fundamentally, the phase error of the clock signal WCK for a store after a phase shift and the playback clock signal RCK is acquired with a phase comparator 82, and the sampled value of this phase error is acquired by the sample hold circuit 84. And an adder 85 supplies the feedback signal according to the aggregate value of the sampled value and offset value to a phase shifter 81 through a switch 87. The feedback signal supplied to a phase shifter 81 here will set the amount of phase shifts according to a phase error, and the amount of phase shifts (value which shows how much a phase shift should be carried out) which completes the value of the phase error concerned, and the aggregate value of an offset value as zero in more detail as a phase shifter 81.

[0040] Therefore, the clock signal WCK for a store is made to agree from the loop-formation closing point in time concerned gradually to the phase which seasoned the phase of the playback clock signal RCK from the clock regenerative circuit 68 with an offset part by the feedback control of the loop formation formed by these phase shifters 81, a phase comparator 82, LPF83, the S/H sample hold circuit 84, the adder 85 and the offset value generating circuit 86, and the loop-formation switch 87. Thus, the clock signal WCK for a store by which phase doubling was carried out is drawn from a phase shifter 81, and is supplied as a bit clock for code translation in the encoder 91 which bears one of the information recording systems. As for the offset adopted here, it is desirable to consider as the value corresponding to time amount after irradiating a write-in beam at a disk until a record mark is actually formed. By doing in this way, the store of the data which suited the recording characteristic of a disk is made.

[0041] Moreover, reference signal V0 When CPU9 generates a loop control signal to the loop-formation switch 87 so that it may choose (at the time of loop-formation disconnection), it is the reference signal V0 concerned. The corresponding amount of phase shifts is set as a phase shifter 81, and a phase shifter 81 is the clock signal WCK0 for a original store in this set-up amount of phase shifts. A phase is shifted and the clock signal WCK for a store is generated. Therefore, at the time of loop-formation disconnection, it is not dependent on a playback clock, and is a reference signal V0. The clock WCK for a store with which phase adjustment which becomes settled was performed will be generated.

[0042] About the detail of the S/H timing generation circuit 88, it mentions later. An encoder 91 performs tail end coding of the data which should be written in a disk transmitted from CPU9. Here, the code translation for making 8 - 16 modulation which is referred to at previous drawing 3 is made. It receives from the write-data supply system which does not illustrate the HARASHIN number of the data which should be written in, and CPU9 generates the data which should perform processing which interleaves to the ECC block 30 concerned, and should transmit to an encoder 91 while it adds data processing other than 8-16 modulation processing, i.e., the sign 31 in ECC mentioned above and the sign 32 outside ECC, to the HARASHIN number concerned and constitutes the ECC block 30. 9m of internal memories is used for this data transfer. Transfer data are once memorized by this memory 9m, and are read one by one to the predetermined timing which CPU9 judged. The data finally encoded by the encoder 91 are sent to the power control circuit 92.

[0043] The power control circuit 92 generates the control signal for specifying the laser power according to the coded data sent from the encoder 91 in write-in mode, and the laser drive circuit 93 emits the driving signal of the level adapted to the actual pickup light source laser according to this control signal. Thereby, the reinforcement of the laser beam for record (store) to which pickup 60 irradiates a disk is made to change corresponding to coded data. on the other hand -- the coded data to which the power control circuit 92 was sent from the encoder 91 in reading mode -- not responding -- the low for reading, and abbreviation -- generating the control signal for specifying fixed laser power, the laser drive circuit 93 emits the driving signal of the level adapted to the actual pickup light source laser according to this control signal. By this, a disk will be read by the laser beam for reading of the fixed low which pickup 60 irradiates.

[0044] The output wobble signal of the wobble detector 63 is used also for the roll control of a disk again, as mentioned already. A wobble signal is supplied to the input of another side of the phase comparator 51 which considers the reference clock signal specifically supplied from the local oscillator which is not illustrated as one input. A phase comparator 51 acquires the frequency error and phase error of two inputs, and supplies the spindle control signal according to this to a driver line 52, and a driver line 52 generates the driving signal of the motor 50 according to a spindle control signal. The roll control of a motor 50 will be made so that the frequency of the wobble signal detected from a reading signal may be in agreement with the frequency of a reference clock signal by this.

[0045] Next, actuation of this information recording device is explained. Drawing 7 is a timing diagram which shows each part actuation wave and the gestalt of operation in the additional recording mode which adds [is made to follow them and] and writes data (henceforth new data) in this anew to a series of written in data (henceforth the old data) already written in the disk of the information recording apparatus shown in drawing 6.

[0046] As shown in the (A) stage of drawing 7, in this example at the time of write-in termination of the old data the 1st in head recording sector 40T of ECC block 30T which should be allotted to the degree of last ECC block 30E of the old data concerned -- all the data divisions of sink frame 42F, and the 2nd -- the dummy data (hereafter) corresponding to 86 bytes of the data division of sink frame 42S 44 called old dummy data is recorded after the old data concerned with the ID information 21 which sink-information-SY(s) and corresponds.

[0047] If an additional recording start command is emitted from the command means which is not illustrated to the disk [finishing / the old data store] made with such a gestalt, CPU9 will perform additional record processing as shown in drawing 8 and drawing 9. That is, CPU9 answers an additional recording start command, and makes reading mode start first (step S1). In this processing, CPU9 controls the power control circuit 92 to be set to the

comparatively low fixed reading light level of extent which the exposure luminous intensity to the disk 1 of pickup 60 does not make produce a write-in operation of the recording surface concerned, without answering input data from an encoder 91.

[0048] Subsequently, CPU9 searches N address which is an address corresponding to the ID information 21 concerned in order to retrieve the head side ID information 21 on recording sector 40E on which the last old data are recorded among the old data (step S2). This processing is performed based on the output signal of a decoder 67. In addition, it supposes that the address which the ID information 21 allotted to the head side of the data of recording sector 40E of the last in the last ECC block 30E among the old data shows here is an N address, and it is supposed that the address which the ID information 21 allotted to the head side which is recording sector 40T on which is followed at it and the old dummy data 44 is recorded shows is an address (N+1).

[0049] Detection of the ID information 21 corresponding to N address starts reading of the data currently recorded on recording sector 40E following on the ID information 21 corresponding to the N address concerned, and its data of consecutiveness recording sector 40T (step S3). (time of day t1 of drawing 7 reference) And CPU9 judges whether the ID information 21 corresponding to an address (N+1) was detected based on the recovery output of reading data, i.e., the output signal of a decoder 67, (step S4). When the ID information 21 corresponding to an address (N+1) is not detected in step S4, reading of data is continued until it is detected.

[0050] the 2nd in recording sector 40T corresponding to [in next time / when the ID information 21 corresponding to an address (N+1) is detected in step S4 (time of day t2 of drawing 7 reference) / CPU / 9] the ID information 21 on the address concerned (N+1) for a retrieval target -- it searches based on the reading data obtained by going on further as sink frame 42S (step S5). detecting-signal SY' of the synchronizing signal SY of concerned 2nd sink [CPU / 9]--in more detail frame 42after ID information 21 detection of address (N+1) S head -- the sink detector 69 -- receiving -- the receiving timing -- having -- the 2nd concerned -- arrival of sink frame 42S is detected.

[0051] in this way, the 2nd -- if sink frame 42S are detected (time of day t3 of drawing 7 reference), CPU9 will emit the authorization command signal for permitting that a S/H timing signal is supplied to the S/H circuit 84 in the S/H timing generation circuit 88 (step S6). CPU9 -- again -- the 2nd concerned -- detection of sink frame 42S is answered and the count of the playback clock from the clock regenerative circuit 68 is started (step S7).

[0052] The S/H timing generation circuit 88 is constituted like drawing 10 . In drawing 10 the S/H timing generation circuit 88 AND-circuit 8G which consider sink detecting-signal SY' from the above-mentioned authorization command signal and the sink detector 69 as an input, SR flip-flop 8F1 which makes a set input the output signal of AND-circuit 8G, Counter 8C which considers the playback clock from the clock regenerative circuit 68 as a trigger input while making Q output signal of SR flip-flop 8F1 into reversal reset input and enable input, 1st comparator 8CM1 which performs the coincidence judging with the counted value of counter 8C, and the 1st predetermined counted value, 2nd comparator 8CM2 which performs the coincidence judging with the counted value of counter 8C, and the 2nd predetermined counted value, and supplies the coincidence decision output to the reset input of above-mentioned flip-flop 8F1, It is constituted by SR flip-flop 8F2 which make a set input the coincidence decision output of this 1st comparator 8CM1, and make reset input the coincidence decision output of 2nd comparator 8CM2. From Q output of SR flip-flop 8F2, the S/H timing signal to the S/H circuit 84 is generated.

[0053] In this configuration, when the both sides of an authorization command signal and sink detecting-signal SY' become significant [AND-circuit 8G], a high-level signal is generated, this is answered, and flip-flop 8F1 is made into a set condition. Thereby, reset is canceled and counter 8C is made into the countable condition of a playback clock. Therefore, counter 8C will answer that the both sides of an authorization command signal and sink detecting-signal SY' became significant, and will start count actuation. Comparator 8CM1 detects that the count output of counter 8C reached the 1st counted value N1, and changes flip-flop 8F2 into a set condition. If the count of counter 8C progresses further after that, comparator 8CM2 will detect that the count output concerned reached the 2nd counted value N2, and will change flip-flop 8F2 into a reset condition. By this, flip-flop 8F2 will start a S/H timing signal in the 1st counted value N1, and they will bring it down in the 2nd counted value N2.

[0054] Therefore, from Q output of 2, a wave-like S/H timing signal as shown in an SR flip-flop 8F(F) stage is generated. [of drawing 7] in addition, it is shown in drawing 7 -- as -- the 1st counted value N1 of the above -- the 2nd -- it considers as the value equivalent to 40 bytes of the old dummy data in sink frame 42S -- having -- the 2nd counted value N2 of the above -- the 2nd -- it considers as the value equivalent to 86 bytes of the old dummy data in sink frame 42S, and the difference of both counted value is set as 46 bytes of 1 sink frame which are equivalent to one half extent in general. the timing to which counter 8C will reach the 1st counted value N1 if it puts in another way -- the 2nd -- the timing to which it corresponds when reading for 40 bytes of the old dummy data in sink frame 42S is completed, and counter 8C reaches the 2nd counted value N2 -- the 2nd -- it corresponds, when reading for 86 bytes of the old dummy data in sink frame 42S is completed, and the high-level duration of a S/H timing signal is equivalent to 46 bytes. However, the 1st and 2nd counted value N1 and N2 and those differences may be changed not only into the value mentioned above but into respectively suitable, another value. As a mode which can be changed freely, as shown in drawing 10 , memory 8V1 which enables modification of counted value predetermined [these], and can store it suitably, and 8V2 can be used.

[0055] on the other hand -- CPU9 -- counting -- as a means -- the 2nd -- detection of sink frame 42S was answered, the count of the playback clock from the clock regenerative circuit 68 is started, and it is distinguished whether the counted value from the count initiation concerned reached the 1st counted value N1 of the above (step S8). If the 1st counted value N1 is reached, CPU9 will start a loop control signal, will carry out a switch 87, and will make the servo loop of the phase doubling circuit 80 close, as shown in the (E) stage of drawing 7 (step S9). This loop-formation closing timing will be equivalent to the timing of the rising edge of a S/H timing signal.

[0056] Then, CPU9 distinguishes whether the count actuation was continued further and the counted value concerned reached the 2nd counted value N2 of the above (step S10). When having counted the 2nd counted value N2 here is

distinguished (time of day t4 of drawing 7 reference), write-in mode is made, as for CPU9, to start as a control means (step S11). In this processing, CPU9 controls the power control circuit 92 according to the input data from an encoder 91 to a recording mode to which the exposure luminous intensity to the disk 1 of pickup 60 is changed between the write-in light level which may produce a write-in operation in a disk recording surface, and the reading light level which is not so.

[0057] the 2nd concerned as shown in the (H) stage of drawing 7 as a continuous line among the output data of an encoder 91 by this -- the data after the 87th byte of sink frame 42S will be incorporated in the power control circuit 92, and will be recorded on a disk 1. It is shown that the output data of the encoder 91 shown in the drawing 7 (H) stage by the dotted line are not reflected in the output of the power control circuit 92 although are transmitted to the power control circuit 92 and reading mode is set up therefore. Even when not writing in data, in addition, setting the exposure light of pickup 60 as playback power is continued because the reflected light for tracking servo control is required in order to carry out the tracking of the information recording track on a disk (groove track).

[0058] After the writing of new data is started in this way, it judges whether the original new data which should be transmitted to an encoder 91 ended CPU9 (step S12). When having not ended, continue record of new data as it is, and when it ends The dummy data 44 which corresponds as a final treatment at the time of record termination to 86 bytes of all the data divisions of the 1st sink frame in the head recording sector 40 of the ECC block 30 which should be allotted to the degree of the last ECC block 30 of the data concerned, and the data division of the 2nd sink frame It memorizes after the data concerned with the ID information 21 which sink-information-SY(s) and corresponds (step S13). This mode is the same as that of the processing at the time of the record termination of the old data which carried out point **.

[0059] Without answering input data from an encoder 91, after the stores in connection with all new data including the additional record at the time of record termination are completed by step S13, CPU9 controls the power control circuit 92, and switches it to reading mode so that the exposure luminous intensity to the disk 1 of pickup 60 may serve as fixed reading light level (step S14). In this way, additional record processing of new data is completed.

[0060] As mentioned above, a loop control signal is started just before the store of new data, and a S/H timing signal is generated. While a S/H timing signal is in a high level, the S/H circuit 84 operates so that a sampling, i.e., the error signal from LPF83, may be incorporated and it may transmit to an adder 85. At this time, CPU9 is controlling the switch 87 to start a loop control signal and to relay the output of an adder 85 to a phase shifter 81, and the amount of phase shifts according to the error signal concerned is specified as a phase shifter 81 for the high-level period of a S/H timing signal.

[0061] Therefore, while a S/H timing signal is in a high level, feedback control of the phase doubling circuit 80 will be performed, and as shown in the (G) stage of drawing 7, it will change in the direction in which the output error level of LPF83 in the feedback loop concerned becomes small, and, as for the loop formation concerned, the so-called phase lead-in will be made. When this phase lead-in progresses, the loop formation concerned will shift to a lock range, and the phase lock condition that an error signal is stored near the desired value which becomes settled in an offset value will be maintained. The clock WCK for a store is set by the target phase which seasoned the phase of the playback clock RCK with offset in the high-level period of the S/H timing signal in front of the store of this new data in this way.

[0062] The S/H circuit 84 will hold the value of the error signal which answered falling of a S/H timing signal and carried out the sample just before that, and will output this to an adder 85 henceforth. Therefore, the amount of phase shifts corresponding to the aggregate value of this retention data and offset value will continue after high-level period progress of a S/H timing signal in a phase shifter 81, and will be specified as it, and phase adjustment of the clock WCK for a store will be carried out in the amount of phase shifts continued after high-level period progress of a S/H timing signal.

[0063] In addition, it sets in the (C) stage of drawing 7, and the (D) stage. The slash section which shows roughly and typically the phase mode of the clock WCK for a store and the playback clock RCK, and was given to the clock WCK for a store It is a reference value V0, without carrying out phase doubling. The cross hatching section given by the clock WCK for a store that the phase becomes settled in the corresponding amount of phase shifts The vertical-line section to which doubling with the phase of the playback clock RCK was given by the clock WCK for a store shows, respectively that the condition of having agreed mostly in the phase of the playback clock RCK is maintained.

[0064] Since according to actuation of such a phase doubling circuit 80 it is adjusted so that the phase of the clock WCK for a store may adjust only a predetermined period in the phase of the playback clock RCK by written in data from front reading rather than the store of new data, new data can be written in a disk with a bit [having maintained the continuity of the phase of the bit clock of written in data] clock. Therefore, in the disk written in in this way, continuation playback of the written in data concerned and new data can be carried out smoothly, without causing trouble in playback and sink detection of a bit clock.

[0065] Next, other examples by this invention are explained. Drawing 11 shows the outline configuration of the information recording device by the 2nd example of this invention, and the same sign is given to the part equivalent to what is shown in drawing 6. The information recording device in drawing 11 consists of configurations of drawing 6 fundamentally except for the phase shifter 81, the offset generating circuit 86, and the S/H circuit 84. So, the alteration of a configuration of adder 7A being connected between LPF72 and VCO73, and PLL circuit 70' considering the output signal of LPF72 as one input, and supplying an addition output signal to VCO73 is given.

[0066] Furthermore, in changed phase doubling circuit 80', while the output signal of VCO73 is directly supplied to the input of a phase comparator 82, it is drawn as a clock signal WCK for a store. In phase doubling circuit 80', the output signal of LPF83 is supplied to the other inputs of adder [in / through LPF8f / it considers as the force much more and / in the output signal of the loop-formation switch 87 / PLL circuit 70'] of loop-formation switch 87 7A through amplifier 85' again. And the loop control signal supplied to the loop-formation switch 87 is generated by timing

generation circuit 88' which has a configuration equivalent to the S/H timing generation circuit 88 which carried out point **, and a signal generation principle.

[0067] In phase doubling circuit 80', a phase comparator 82 carries out the phase comparison of the output signal (clock WCK for a store) of VCO73 in PLL circuit 70', and the playback clock signal RCK from the clock regenerative circuit 68, and supplies the signal according to both phase error to the loop-formation switch 87 through LPF83 and amplifier 85'. The loop-formation switch 87 is the output magnification error signal and reference signal V0 of amplifier 85'. Either is alternatively outputted to LPF8f. The signal which passed through LPF8f is added to the input-control signal of VCO73 in PLL circuit 70'.

[0068] In such a configuration, when CPU9 generates a loop control signal to the loop-formation switch 87 so that the output of amplifier 85' may be chosen (at the time of loop-formation closing), the phase error of the clock signal WCK for a store and the playback clock signal RCK is acquired with a phase comparator 82, and the feedback signal according to this phase error is supplied to VCO73 through a switch 87, LPF8f, and adder 7A. The feedback signal supplied to VCO73 here will set the amount of phase shifts according to a phase error, and the amount of phase shifts (instantaneous frequency) which completes the phase error concerned as zero in more detail as VCO73.

[0069] Therefore, the clock signal WCK for a store is made to agree from the loop-formation closing point in time concerned gradually to the phase of the playback clock signal RCK from the clock regenerative circuit 68 by the feedback control of the loop formation formed of these phase comparators 82, LPF83, amplifier 85', the loop-formation switch 87, LPF8f, and adder 7A.

[0070] Moreover, reference signal V0 When CPU9 generates a loop control signal to the loop-formation switch 87 so that it may choose (at the time of loop-formation disconnection), it is the reference signal V0 concerned. The corresponding amount of phase shifts (instantaneous frequency) is set as VCO73, and VCO73 shifts the phase of the clock signal WCK for a store in this set-up amount of phase shifts (that is, instantaneous frequency is changed). Therefore, reference signal V0 for which it does not depend on a playback clock at the time of loop-formation disconnection The clock WCK for a store with which phase adjustment which becomes settled was performed will be generated.

[0071] however -- it should annotate -- it is an operation of LPF8f. This LPF8f is the value of the output signal of amplifier 85' to the reference signal V0 about a feedback signal, when the loop-formation switch 87 switches selection to a reference signal V0 from the output signal of amplifier 85'. The operation which is made to change gently to a value and is supplied to VCO73 is done so. Thereby, it sets after the loop-formation disconnection after the phase lock condition of the loop formation concerned, and is a reference signal V0 from the locked phase. After changing the phase of the clock signal WCK for a store to a corresponding phase gradually and carrying out for a while, it is a reference signal V0 for the first time. He is trying to make it return to a corresponding phase (frequency).

[0072] Actuation of this information recording device is shown in drawing 12. In drawing 12, as shown in the (F) stage, while a loop control signal starts to the timing of the 1st counted value N1 of the above and closes the phase doubling loop formation concerned, it falls to the timing of the 2nd counted value N2 of the above, and the phase doubling loop formation concerned is opened.

[0073] Therefore, while a loop control signal is in a high level, feedback control of phase doubling circuit 80' will be performed, and as shown in the (G) stage of drawing 12, it will change in the direction in which the output error level of LPF83 in the feedback loop concerned becomes small, and, as for the loop formation concerned, the so-called phase lead-in will be made. When this phase lead-in progresses, the loop formation concerned will shift to a lock range, and the phase lock condition that an error signal is stored near the desired value will be maintained. The clock WCK for a store is set by the phase of the playback clock RCK in the high-level period of the loop control signal in front of the store of this new data in this way.

[0074] When a loop control signal falls, it is opened wide and a phase doubling loop formation is a reference signal V0. Adder 7A is supplied through LPF8f. LPF8f has a predetermined time constant and is a reference signal V0 here. Even if supplied, this is not immediately transmitted to adder 7A as it is, but it is the reference signal V0 exponentially. Adder 7A transmission of a signal which approaches the shown value will be done.

[0075] In this way, the output of LPF83 after closing of the loop formation concerned presents a slow change as shown in the drawing 12 (G) stage by *1, and is a reference signal V0. It will reach to corresponding level. Since the clock signal WCK for a store is made by this to return to the frequency and phase (namely, center frequency which becomes settled with a reference signal V0) of a proper by clock generation means slack PLL circuit 70' for a store after carrying out for a while from an additional recording start, it will synchronize with the playback clock RCK only in the part near [to the old data of new data] the knot.

[0076] In addition, also in the (C) stage of drawing 12, and the (D) stage, the phase mode of the clock WCK for a store and the playback clock RCK is shown roughly and typically. The slash section given to the clock WCK for a store is a reference value V0, without carrying out phase doubling. It is shown, respectively that the cross hatching section to which it was given by the clock WCK for a store that the phase becomes settled in the corresponding amount of phase shifts is doubled with the phase of the playback clock RCK. However, time of day t4 in the clock WCK for a store While it is [subsequent] for a while, it is drawn so that this cross hatching may fade gradually and may resemble the original slash closely, and the mode which moves from the phase of the playback clock RCK to the phase of the clock WCK for a store, and dies is shown.

[0077] Since it is adjusted so that the phase of the clock WCK for a store may adjust only a predetermined period in the phase of the playback clock RCK by written in data from front reading rather than the store of new data also by actuation of such phase doubling circuit 80' New data can be written in a disk with a bit [having maintained the continuity of the phase of the bit clock of written in data] clock, and continuation playback of the written in data concerned and new data can be carried out smoothly, without disturbing the synchronous operation of reading data at the time of information playback. And in this 2nd example, since it can consider as the easy configuration in

comparison, it is advantageous in respect of cost etc.

[0078] In addition, processing of CPU9 for operating more than is shown in drawing 13 and drawing 14. According to this, it turns out that, as for CPU9, generating of a loop control signal will be permitted in subsequent step S6' at timing generation circuit 88' if the 2nd sink frame is detected by step S5, and it shifts to step S7. Moreover, it turns out after step S7 that step S8 and S9 in drawing 8 and drawing 9 are excluded, and it is made to perform distinction processing of the 2nd counted value by step S10.

[0079] Next, other examples are explained to the pan by this invention. Drawing 15 shows the outline configuration of the information recording device by the 3rd example, and the same sign is given to the part equivalent to drawing 6. In drawing 15, the information recording system is improved to the configuration shown in drawing 6. That is, encoder 91A is equipped with two, a reversal output and a noninverting output, as the coding output. These two coding outputs are supplied to switching circuit 91S, respectively. On the other hand, switching circuit 91S reach, and supply alternatively any one of the coding outputs of another side to the power control circuit 92.

[0080] Buffer circuit 91B incorporates the reading signal from a regenerative amplifier 61, and supplies it to comparator circuit 91C with a predetermined time delay (an equivalent for example, for 3T [for example, / equal to the minimum pit length T_{min}]). Comparator circuit 91C answers the comparison test trigger signal supplied from CPU9, compares the value of the output of buffer circuit 91B with the value of the noninverting output of encoder 91A, and when both are in agreement, it supplies a control signal to switching circuit 91S so that the reversal output of encoder 91A may be chosen.

[0081] According to such a configuration, in case additional record is carried out, it can avoid becoming the data pattern which the tail of written in data and the head of new data are combined, and fault produces. The operation effectiveness peculiar to such 3rd example can be explained in full detail with reference to drawing 16.

[0082] In drawing 16, the written in data shown in the (A) stage are delayed by 3T by buffer circuit 91B, as shown in the (B) stage. The noninverting output data of encoder 91A are time of day t_4 like old explanation, as shown in the (C) stage. It sets and begins to be incorporated in the power control circuit 92. Time of day t_4 When it passes, written in data are time of day t_4 , as it is shown in comparator circuit 91C in the (D) stage, although it will break off. The comparison test trigger which starts and presents the pulse width of the 3T concerned is supplied from CPU9, and since the written in data of a buffer output delayed by 3T are inputted, the value comparison of this input data and the noninverting output data of encoder 91A will be carried out. That is, tail 3 T parts of written in data are compared with head 3 T parts of the noninverting output data of new data slack encoder 91A.

[0083] If it judges that the value of comparator circuit 91C of the data concerned corresponds, will carry out switching circuit 91S, the reversal output data of encoder 91A will be made to transmit to the power control circuit 92, and the record gestalt by this reversal output will be continued henceforth. The data after the additional record shown in the (E) stage of drawing 16 express the mode in this case. On the contrary, a judgment of that the value of the data concerned is not in agreement maintains the condition of carrying out switching circuit 91S as they are, and transmitting the noninverting output data of encoder 91A to the power control circuit 92.

[0084] It can prevent the head of the new data combined with the tail of written in data and this serving as the same value by this. For example, it will become the data pattern with which 14T are covered when both data are combined simply, supposing the logical value 0 similarly followed 7T [the case where the tail of written in data covered 7T and the logical value 0 continues] as for the head of new data, and a logical value 0 continues. The pattern with which these 14T are covered and a logical value 0 continues is in agreement with the pattern given only to a synchronizing signal SY in this example. That is, it means that the same data pattern as a synchronizing signal SY was accidentally formed in this data bond part, and will become the factor of incorrect detection of a sink detector at the time of next information playback.

[0085] On the other hand, in this example, since new data are made to reverse compulsorily in such a case, it can prevent and have the pattern formation of the accidental synchronizing signal SY, and incorrect detection of the synchronizing signal concerned can be avoided. In addition, although he is trying to reverse the logical value of new data when the head of the new data combined with the tail of written in data and this in this 3rd example is the same, you may make it change a value which does not change the contents of data substantially like this reversal process.

[0086] In addition, although it explained so that new data might be stored in each sink frame of head recording sector 40T by which additional record is carried out, it replaces with new data and you may make it store dummy data in old explanation, as indicated by JP,9-270171,A. Moreover, in the above-mentioned example, although DVD-R was mainly explained as a record medium, this invention is applicable to the record medium in which other additional records are possible.

[0087] Furthermore, although the sink frame alignment signal SY was mentioned as the example as a specific synchronizing signal, it is also possible to realize this invention by making into a specific synchronizing signal other synchronizing signals allotted for every predetermined data block of different amount of information from a sink frame. Moreover, although explained per [which makes additional record to the disk which the old dummy data as shown in the record end of the old data at drawing 7 was made to follow, and was recorded] mode, this invention is realizable even if it does not prepare the consecutiveness section like this old dummy data. That is, considerable effectiveness is demonstrated, even if it performs phase doubling in the sink frame in which the old data are stored and is made to perform synchronous doubling of the clock for a store of new data.

[0088] In addition, although various means were restrictively explained in the above-mentioned example, it is also possible to change suitably in the range which this contractor can design.

[0089]

[Effect of the Invention] As explained in full detail above, according to the information recording apparatus of this invention, the record gestalt to the record medium which makes it possible to carry out continuation playback of the data followed and added to written in data and this smoothly can be taken, without disturbing the synchronous

operation of reading data at the time of information playback.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-203785

(43)公開日 平成11年(1999) 7月30日

(51)Int.Cl.⁸
G 1 1 B 20/10
7/00
H 0 3 L 7/06

識別記号
3 1 1

F I
G 1 1 B 20/10
7/00
H 0 3 L 7/06

3 1 1
N
A

審査請求 未請求 請求項の数5 O L (全 23 頁)

(21)出願番号 特願平10-6081
(22)出願日 平成10年(1998) 1月14日

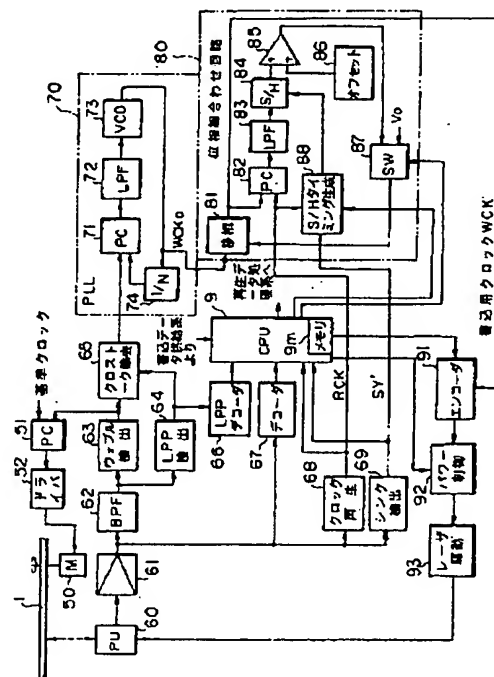
(71)出願人 000005016
パイオニア株式会社
東京都目黒区目黒1丁目4番1号
(72)発明者 黒田 和男
埼玉県所沢市花園4丁目2610番地パイオニ
ア株式会社所沢工場内
(74)代理人 弁理士 藤村 元彦

(54)【発明の名称】 情報記録装置

(57)【要約】

【課題】 情報再生時において読取データの同期動作を乱すことなく書込済データとこれに後続して追記されたデータとを円滑に連続再生することを可能とする記録媒体への記録形態を採る。

【解決手段】 この装置は、記録媒体1の書込済データに後続する新データを追加記録することの可能な情報記録装置である。本装置には、新データとの同期化をなしつつその新データを記録媒体に書き込むための書込用クロック信号を生成する書込用クロック生成回路手段(70)と、記録媒体から書込済データを読み取って書込済データの同期用クロック信号を再生し再生クロック信号を生成するクロック再生手段(68)と、書込用クロック信号の位相を再生クロック信号の位相に同期させる位相調整手段(80)とが設けられる。



【特許請求の範囲】

【請求項 1】 記録媒体の書込済データに後続する新データを追加記録することの可能な情報記録装置であって、

前記新データとの同期化をなしつつその新データを前記記録媒体に書き込むための書込用クロック信号を生成する書込用クロック生成手段と、

前記記録媒体から前記書込済データを読み取って前記書込済データの同期用クロック信号を再生し再生クロック信号を生成するクロック再生手段と、

前記書込用クロック信号の位相を前記再生クロック信号の位相に同期させる位相調整手段と、

を有することを特徴とする情報記録装置。

【請求項 2】 前記書込済データは、所定データブロック毎に特定同期信号が配されるデータであり、

前記書込済データから前記特定同期信号を検出する同期信号検出手段と、

前記同期信号検出手段による前記特定同期信号の検出タイミングに応答して前記再生クロック信号に基づく計数動作を開始する計数手段と、

前記計数手段による計数値に基づいて前記新データの前記記録媒体への書込開始時点を定める制御手段と、

をさらに有することを特徴とする請求項 1 記載の情報記録装置。

【請求項 3】 前記位相調整手段は、前記記録媒体における前記新データの追加記録開始位置より前の所定期間における前記書込済データから得られる再生クロック信号の位相に前記書込用クロック信号の位相を同期させることを特徴とする請求項 1 または 2 記載の情報記録装置。

【請求項 4】 前記位相調整手段は、前記書込用クロック信号の位相を前記再生クロック信号の位相に同期させた後、所定の時定数をもって前記書込用クロック信号を前記書込用クロック生成手段に固有の周波数及び位相に復帰させることを特徴とする請求項 1、2 または 3 記載の情報記録装置。

【請求項 5】 記録媒体の書込済データに後続する新データを追加記録することの可能な情報記録装置であって、

前記書込済データのうちの最後に配される所定情報量に対応する後尾データ部と前記新データのうちの先頭に配される前記所定情報量に対応する先頭データ部とを値比較する比較手段と、

前記比較手段により前記後尾データ部の値と前記先頭データ部の値とが一致していることが判定された場合、前記新データの値を変更せしめる制御手段と、

を有することを特徴とする情報記録装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、情報記録装置に関

し、特に、同一箇所へ一度だけ情報を書き込めるライトワンス (WO : Write Once) 型や同一箇所へ何度も情報を書き直せるリライタブル (RW : Rewritable) 型の光ディスクの如き追加記録可能な記録媒体に情報を記録する情報記録装置に関する。

【0002】

【従来の技術】 この種の情報記録装置において、追加記録可能ディスクに情報データを書き込む場合、書き込むべき情報データに同期化を施しつつその情報データを書き込むための書込用クロック信号を生成する。換言すれば、生成した安定な所定周波数の書込用クロック信号に同期 (例えば、いわゆるビット同期) をとりつつ情報データをディスクに書き込むのが通常である。この書込用クロック信号は、一般には、単独で発振出力可能な例えば水晶発振器等の基準クロック発生器から発生される。

【0003】 しかしながら、既に情報データが一部または部分的に書き込まれているディスクに対して、その書込済みの情報データに引き続いて新たな情報データを書き込む追記または追加記録をなす場合、書込済みの情報データに使われた書込用クロック信号と新たな情報データに用いられる書込用クロック信号との間で位相の違いが生ずる可能性がある。

【0004】 この場合、新データ記録後に得られるディスクを読み取って、かかる前後の情報データを連続再生する動作において、当該前後の情報データの結合部近傍では当該ディスクの読取データの同期用クロック信号を再生するのにしばしば困難となることがある。特に、或る 1 つの情報記録装置により情報データの書き込まれたディスクに対して、他の情報記録装置により追記を行った場合などは、これら情報記録装置が同種のものであったとしても、別個の発生源から各記録時において書込用クロック信号が生成されることとなり、位相のみならず周波数の異なる書込用クロック信号にて先行情報データとその後続情報データとが書き込まれてしまうことを否定できない。

【0005】 読取データの同期用クロック信号の再生には、読取信号を入力とする PLL (Phase Locked Loop) 回路が用いられるが、位相や周波数において大差のある書込用クロック信号にて先行及び後続の情報データが記録されたディスクは、かかる先行データと後続データとの結合部近傍において PLL 回路の同期動作を大きく乱すこととなる。その結果、読取データの同期用クロック信号に基づいて読取データの復号処理を行うデコーダは、読取データ中の種々のデータを誤検出してしまうこともある。

【0006】 また、ディスクに書き込まれるデータは、上述したようなビット同期の他に、所定の情報量を担うデータブロック毎に特定の同期信号が配されるフォーマットを採って再生時の当該データブロックについての同期化がなされるようにされているが、このような特定同

期信号にしても、書込用クロック信号に基づいてデータに配置される。従って、上述の如くして生ずる位相や周波数において大差のある書込クロック信号により、先行情報データに最後に配された特定同期信号と後続情報データに最初に配された特定同期信号との間隔が、それより前及び後の間隔に対して大きく相違してしまうこととなり、再生時における特定同期信号の検出不能や誤検出を招きかねない。特に、かかる特定同期信号の検出能力の低いプレーヤにおいては深刻な問題である。

【0007】

【発明が解決しようとする課題】 本発明は、こうした問題に鑑みてなされたものであり、その目的とするところは、情報再生時において読取データの同期動作を乱すことなく書込済データとこれに後続して追記されたデータとを円滑に連続再生することを可能とする記録媒体への記録形態を採ることのできる情報記録装置を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するために、本発明による装置は、記録媒体の書込済データに後続する新データを追加記録することの可能な情報記録装置であって、前記新データとの同期化をなしつつその新データを前記記録媒体に書き込むための書込用クロック信号を生成する書込用クロック生成手段と、前記記録媒体から前記書込済データを読み取って前記書込済データの同期用クロック信号を再生し再生クロック信号を生成するクロック再生手段と、前記書込用クロック信号の位相を前記再生クロック信号の位相に同期させる位相調整手段と、を有することを特徴としている。

【0009】 上記情報記録装置は、前記書込済データを、所定データブロック毎に特定同期信号が配されるデータとし、前記書込済データから前記特定同期信号を検出する同期信号検出手段と、前記同期信号検出手段による前記特定同期信号の検出タイミングにตอบสนองして前記再生クロック信号に基づく計数動作を開始する計数手段と、前記計数手段による計数値に基づいて前記新データの前記記録媒体への書込開始時点を定める制御手段と、をさらに有するように構成可能である。

【0010】 上記情報記録装置において、前記位相調整手段は、前記記録媒体における前記新データの追加記録開始位置より前の所定期間における前記書込済データから得られる再生クロック信号の位相に前記書込用クロック信号の位相を同期させるようにすることができる。上記情報記録装置において、前記位相調整手段は、前記書込用クロック信号の位相を前記再生クロック信号の位相に同期させた後、所定の待時数をもって前記書込用クロック信号を前記書込用クロック生成手段に固有の周波数及び位相に復帰させるように構成することができる。

【0011】 また、本発明による装置は、記録媒体の書込済データに後続する新データを追加記録することの可

能な情報記録装置であって、前記書込済データのうちの最後に配される所定情報量に対応する後尾データ部と前記新データのうちの先頭に配される前記所定情報量に対応する先頭データ部とを値比較する比較手段と、前記比較手段により前記後尾データ部の値と前記先頭データ部の値とが一致していることが判定された場合、前記新データの値を変更せしめる制御手段と、を有することを特徴としている。

【0012】

【発明の実施の形態】 以下、本発明の実施例を図面を参照しつつ詳細に説明する。先ず、追加記録可能な記録媒体の1つとしてのDVD-R (Digital Video Disc-Recordable) に情報を書き込む際の一般的な物理フォーマットについて、図1ないし図3を用いて説明する。

【0013】 DVD-Rに対して行われる誤り訂正処理は、ECC (Error Correction code) ブロックをその誤り単位として行われる。かかるECCブロックは、図1に示されるデータセクタを基にして形成される。DVD-Rに記録される原情報は、図1の如きデータセクタ20を複数個含む物理構造を成して構成される。1つのデータセクタ20は、その先頭から、データセクタ20の開始位置を示すID情報21と、当該ID情報21の誤りを訂正するためのID情報誤り訂正コード (IEC: ID Data Error correction Code) 22と、予備データ23と、映像や音声またはコンピュータデータ等の当該ディスクに本来記録すべき主たる情報を担うデータ24と、データ24におけるエラーを検出するためのエラー検出コード (EDC: Error Detection Code) 25とが順に配されたブロックデータにより構成される。DVD-Rにおいては、このデータセクタ20が複数連続することにより記録すべき原情報が構成される。

【0014】 このようなデータセクタ20は、図2のようにしてECCブロックの構築に使用される。初めに、図2(A)に示されるように、1つのデータセクタ20を172バイト毎に分割し、分割されたデータ (以下、これをデータブロック33と称する) をそれぞれ垂直方向に並べる。そうすると、垂直方向には12行のデータブロック33が並ぶこととなる。

【0015】 次いで、図2(B)に示されるように、各データブロック33に対してそれぞれ10バイトのECC内符号 (PI (Parity In) 符号) 31を割り当てる。ECC内符号31が、当該データブロック33の末尾に付加されることにより、1つの訂正ブロック34が構成される。この段階では、ECC内符号31を含む訂正ブロック34が垂直方向に12行並べられることとなる。そして、このようなECC内符号31の付加処理は、データセクタ20の16個分繰り返される。これにより、192行の訂正ブロック34が得られる。

【0016】 図2(B)においてはさらに、上述した如き192行の訂正ブロック34が垂直方向に並べられて

形成されるブロックデータに対して、今度は垂直方向に1バイト毎に分割し、分割されたデータに対して16個のECC外符号(PO (Parity Out)符号)32を付加する。なお、ECC外符号32は、上記訂正ブロック34のうち、ECC内符号31の部分に対しても付加される。

【0017】かくして、16個のデータセクタ20を含む1つのECCブロック30が形成される。なお、以上の説明から分かるように、1つのECCブロック30が担う総情報量は、

【数1】 $(172+10)$ バイト $\times (192+16)$ 行 $=37856$ バイトであり、このうち、情報データ24は、

【数2】 2048 バイト $\times 16=32768$ バイトとなる。

【0018】また、図2(B)においては、ECCブロック30を構成する各1バイトのデータに「D#. *」なる採番を施している。例えば、「D1. 0」は第1行第0列に配置されている1バイトのデータを示しており、「D190. 170」は第190行第170列に配置されている1バイトのデータを示している。従って、ECC内符号31は、第172列ないし181列に配置され、ECC外符号32は第192行ないし第207行に配置されることとなる。

【0019】さらに、1つの訂正ブロック34は、DVD-R上には連続して記録されるので、当該ブロック全体のエラーが発生する可能性がある。しかし、図2

(B)に示すように、ECCブロック30は、ECC内符号31とECC外符号32との双方を含むように構成されるので、図2(B)において水平方向に並んでいるデータの訂正をECC内符号31で行い、図2(B)において垂直方向に並んでいるデータの訂正をECC外符号32で行うことができる。これにより、図2(B)に示すECCブロック30内においては、水平及び垂直方向における二重の誤り訂正を行うことが可能となり、従来のCD (Compact Disk)等に用いられている誤り訂正処理に比してより強力に誤り訂正ができる。

【0020】この点につき詳述すると、例えば、1つの訂正ブロック34(上述のように、1行分のECC内符号31を含んで計182バイトのデータを含み、連続してDVD-R上に記録される。)が、全てDVD-Rの外傷等により破壊されたとしても、それを垂直方向から見ると、1列のECC外符号32に対して1バイトのデータ破壊でしかない。従って、各列に対応するECC外符号32を用いて誤り訂正を行えば、たとえ1つの訂正ブロック34の全てが破壊されていても、誤り訂正を行って正確に再生することができるのである。

【0021】かかるECCブロック30のDVD-Rに対する具体的記録形態は、図3に示される。なお、図3において、「D#. *」にて採番された1バイトデータ

は、図2(B)において同じく採番されたものと同一である。ECCブロック30は、先ず、図3の最上段に示されるように、訂正ブロック34毎に水平方向に一列に並べられてインターリーブされる。これにより、図3の2段目に示されるように、16個のレコーディングセクタ40に変換される。かかる変換においては、1つのレコーディングセクタ40は、 2366 バイト(37856 バイト $\div 16$)の情報を含むこととなり、この中には、データセクタ20、ECC内符号31又はECC外符号32が混在している。但し、各レコーディングセクタ40の先頭には、データセクタ20におけるID情報21(図1参照)が配置される。

【0022】この1つのレコーディングセクタ40は、図3の3段目に示されるように、91バイト毎のデータ41に分割され、夫々にヘッダHが付加される。その後、このヘッダ付加状態のレコーディングセクタ40は、 $8-16$ 変調され、図3の最下段に示されるように、データ41及びそのヘッダ毎にシンクフレーム42に変換される。変換後は、1つのシンクフレーム42は、ヘッダH'とデータ43とにより構成されることとなる。また、1つのシンクフレーム42の情報量は、

【数3】 91 バイト $\times 8 \times (16/8) = 1456$ チャネルビット(但し、シンク情報を含めると1488チャネルビット)

となり、このシンクフレーム42が連続した形態でDVD-Rに書き込まれる。このとき、1つのレコーディングセクタ40は、26個のシンクフレーム42を含むこととなる。

【0023】以上説明した物理フォーマットに従ってDVD-Rに情報を記録することにより、当該情報を再生する際に $8-16$ 復調及びデインターリーブを行えば(図3参照)、元のECCブロック30を復元することが出来、上述したような強力な誤り訂正を行って情報を正確に再生することができる。かくして、DVD-Rには、図3の最下段に示されるようなシンクフレーム系列の形態で情報が記録されるが、その記録は、DVD-Rにおいては予め定められたトラックにおいてなされる。

【0024】図4は、かかる情報の記録箇所を担うトラックを含むDVD-Rの記録層の構造を示している。図4において、DVD-R1は、色素膜5が成膜され上記シンクフレーム系列の情報の書込可能なグルーブトラック2と、グルーブトラック2に隣接しかつグルーブトラック2に読取光または書込(記録)光としてのレーザービームBを誘導させるためのランドトラック3とが形成されている。グルーブトラック2は、レーザービームBの発生源側から見て凹状にして、ランドトラック3は、同発生源側から見て凸状にして、ビームBを反射するための光反射面としての金蒸着面6を担持するよう形成されている。

【0025】グルーブトラック2は、当該ディスクの平

坦面に平行な方向に所定の周波数（例えば当該ディスクの適正回転速度に対応する周波数）で波状にうねる、いわゆるウォブリングが施されている。かかるウォブリングを用いることにより、情報読取時には、当該ディスクの回転制御を行うことが可能である。ランドトラック 3 には、DVD-R 1 の記録位置を示すアドレス情報や記録タイミングを制御するためのタイミング制御情報等の記録制御情報を担うプリピット 4 が形成される。

【0026】かかるグルーブトラック 2 及びランドトラック 3 はもとより、上記ウォブリングやプリピット 4 は、DVD-R 1 の作製時に予め形成される。付言すれば、ウォブリングやプリピット 4 は、初めての情報を書き込む前に既に形成（記録）されている既成記録情報を担うものである。このような構造を有する DVD-R 1 の情報記録時には、光ビーム B の中心がグルーブトラック 2 の中心と一致するように光ビーム B が DVD-R 1 に照射され、グルーブトラック 2 に上記シンクフレーム系列に対応するピットが形成される。このとき、光ビーム B のスポット S P の大きさは、図 4 に示されるように、当該スポットの一部がランドトラック 3 にも照射されるように設定される。また、このランドトラック 3 に照射された光スポット S P の一部の反射光を用いてプッシュプル法によりプリピット 4 が検出されそのプリピットが示す当該ディスク固有の既成記録情報が取得される。さらに、グルーブトラック 2 に照射されている光スポット S P の反射光を用いてグルーブトラック 2 のウォブリングに応じたウォブル信号を検出し、このウォブル信号に基づいた DVD-R 1 の回転制御が行われる。

【0027】グルーブトラック 2 とこれに書き込まれるシンクフレーム系列のデータ並びにランドトラック 3 に形成されるプリピット（以下、L P P (Land Pre Pit) と称する）4 は、図 5 の如き対応関係とされる。図 5 に示されるように、グルーブトラック 2 には、その中心線に沿って記録情報であるシンクフレーム系列のデータが記録される。かかる記録に際しては、グルーブトラック 2 が呈する 8 つのウォブリング周期につき 1 つのシンクフレームが記録されるよう制御される。ウォブリング周波数は、全てのシンクフレームに亘り 1 4 0 k H z（適正読取レート換算値）一定とされる。

【0028】シンクフレームの先頭には、先の図 3 において説明したように、ヘッダ H' が配されており、そのヘッダには同期信号 S Y が先端に割り当てられている。この同期信号 S Y は、シンクフレームの同期をとるために設けられており、1 4 T の長さの同一波形シンボルを有する。ここで、T は、図 3 の 3 段目に示されるような 8 - 1 6 変調前のデータ系列におけるビット間隔に相当する。シンクフレームは、1 4 8 8 T の長さを有する。

【0029】一方、L P P 4 は、図 5 に上向き矢印に対応する位置に形成される。すなわち、図 5 においてはグルーブトラック 2 のウォブリングによって呈される波の

山及び谷の一方に対応する位置であってしかもシンクフレームにおける先頭から数えて 3 つの当該位置に隣接するランドトラック 2 において形成されうようにしている。但し、1 つのレコーディングセクタ（図 3 参照）においては偶数番目のシンクフレーム（E V E N フレーム）にのみ又は奇数番目のシンクフレーム（O D D フレーム）にのみ L P P 4 が形成されるようにしている。図 5 においては E V E N フレームのみ L P P 4 が形成された場合を示しており、上向きの点線矢印に対応する位置には L P P 4 が形成されない。シンクフレームの先頭に最も近くに配される L P P 4 は、同期用に設けられるもので、定められた偶数または奇数番目のフレームに対応して必ず配されるようにしている。かかる同期用 L P P 4 は、DVD-R の記録面上のアドレス情報を担うものであり、レコーディングセクタ単位でそのアドレス情報が識別される。

【0030】なお、この図 5 から分かるように、L P P 4 の形成位置は、グルーブトラック 2 に書き込まれるシンクフレームデータ中の同期信号 S Y の記録位置にほぼ対応づけられる。本実施例による情報記録装置は、以上のような形態で既成記録情報が形成されかつシンクフレーム系列データが書き込まれる DVD-R を扱うことのできるものであり、以下、その詳細について説明する。

【0031】図 6 は、かかる情報記録装置の概略的構成を示している。図 6 において、DVD-R 1（以下、単にディスクと呼ぶ）は、スピンドルモータ 5 0 により回転されつつ読取光レベル及び書込光レベルの双方にてレーザ光を出力可能な光ヘッドとしてのピックアップ 6 0 によりそのレーザ光が照射される。ディスクに入射したこのレーザ光は、当該ディスクの反射面（図 4 参照）に達するとともに記録情報に応じた状態の反射光となってピックアップ 6 0 に導かれる。

【0032】ピックアップ 6 0 は、受光素子を含む光電変換回路を内蔵しており、ディスクからの反射光を受光しかつその受光レベル及び状態に応じた光電変換をなす。その光電変換出力は、読取信号として再生増幅器 6 1 に供給される。再生増幅器 6 1 は、供給された読取信号を増幅し、増幅された読取信号を帯域通過フィルタ（B P F）6 2 を介してウォブル検出回路 6 3 及び L P P（プリピット）検出回路 6 4 に供給する。

【0033】ウォブル検出回路 6 3 は、読取信号から上記ウォブル信号を検出または抽出し、これをクロストーク除去回路 6 5 の一入力に供給する。L P P 検出回路 6 4 は、読取信号から上記プリピット 4 を検出しその検出結果に応じたプリピット信号を生成する。プリピット信号は、クロストーク除去回路 6 5 の他入力に供給されるとともに、プリピット（L P P）デコーダ 6 6 に供給される。

【0034】クロストーク除去回路 6 5 は、ウォブル信

号に含まれるクロストークに起因したジッタ成分をプリピット信号に基づいて除去する機能を有し、除去後のウォブル信号を、ウォブル同期クロック生成用PLL回路70に供給する。得られるウォブル信号は、時間軸上、スピンドルサーボ等の時間軸サーボでは取りきれない残留エラーに基づくプリピット信号の検出精度に依存した精度を持つこととなる。別言すれば、得られるウォブル信号は、残留エラーによるプリピット信号の誤差(±5T程度)を含むということである。

【0035】PLL回路70は、クロストーク除去されたウォブル信号を一入力としてこれを他入力信号と位相比較し両者の位相差に応じた誤差信号を出力する位相比較器71と、誤差信号の低周波成分を通過せしめる低域通過フィルタ(LPF)72と、このフィルタ出力に応じて発振周波数を変化させるVCO73と、VCO73の発振出力クロック信号を分周してウォブル信号と同等の周波数の信号を生成し位相比較器71の他入力に供給する分周器74とによって構成される。VCO73の出力クロック信号は、書込用クロックの基となるものであり、PLL回路70の出力すなわちウォブル信号に位相同期した原書込用クロック信号WCK0として位相合わせ回路80に供給される。PLL回路70は、書込用クロック生成手段に対応する。

【0036】再生増幅器61からの増幅された読取信号はまた、主データデコーダ67、ビットクロック再生回路68及びシンク検出回路69に供給される。主データデコーダ67は、読取信号に対して、8-16復調やデインターリーブのデータ処理を含みかつECCブロックから誤り訂正処理を行いつつデータ24を復元する処理を施し(図1ないし図3参照)、復元されたデータは、CPU9に転送される。CPU9は、この転送された復元データを、実際の音響出力や映像出力またはデータ出力をなすための図示せぬ再生データ処理系に送る。これに対しLPPデコーダ66は、検出されたプリピット信号から、ディスクの記録面における記録位置を示すアドレス情報やシンクフレーム同期情報を検知し、これらをCPU9に送る。CPU9は、このプリピット信号に基づくアドレス及びシンクフレーム同期情報を使って、種々の処理を行う。

【0037】クロック再生回路68は、読取信号が担うデータのビット同期用クロック(周期Tを有する)を再生するものであり、その出力は、再生クロックRCKとしてCPU9及び位相合わせ回路80に供給される。シンク検出回路69は、読取信号に含まれる特定同期信号としての同期信号SY(図5参照)を検出する。シンク検出回路69は、同期信号SYの検出に応答した例えばパルス状のシンク検出信号SY'を発生する。かかるシンク検出信号は、CPU9及び位相合わせ回路80に供給される。

【0038】位相合わせ回路80は、PLL回路70か

らのウォブル信号に位相同期した原書込用クロック信号WCK0の位相をシフト可能な移相器81と、移相器81の出力信号を一入力とし上記クロック再生回路68からの再生クロック信号RCKを他入力として両者の位相差に応じた誤差信号を出力する位相比較器82と、誤差信号の低域成分を通過せしめる低域通過フィルタ(LPF)83と、サンプルホールドタイミング信号に応答してLPF83の出力信号の値をサンプルしホールドするサンプルホールド(S/H)回路84と、サンプルホールド回路84の出力信号の値とオフセット値とを加算する加算器85と、加算器85に所定のオフセット値を供給するオフセット値発生回路86と、加算器85の加算出力を一方の入力とし移相器81の定常時における移相量に対応する基準信号V0を他方の入力としこれら2つの入力のうちのいずれか一方をCPU9からのループ制御信号に応じて選択的に移相器81へ出力するループスイッチ87と、クロック再生回路68の出力再生クロック信号、シンク検出回路69の出力シンク検出信号及びCPU9からの制御信号に基づいてS/H回路84へのサンプルホールド(S/H)タイミング信号を発生するS/Hタイミング生成回路88とによって構成される。位相合わせ回路80は、位相調整手段を担う。

【0039】この位相合わせ回路80においては、加算器85の出力を選択するようループスイッチ87に対してCPU9がループ制御信号を発生した場合(ループ閉成時)、基本的に、移相後の書込用クロック信号WCKと再生クロック信号RCKとの位相誤差が位相比較器82によって得られ、この位相誤差のサンプル値がサンプルホールド回路84によって得られる。そして加算器85は、そのサンプル値とオフセット値との加算値に応じたフィードバック信号をスイッチ87を介して移相器81に供給する。ここで移相器81に供給されるフィードバック信号は、位相誤差に応じた移相量、より詳しくは当該位相誤差の値とオフセット値の加算値をゼロに収束させるような移相量(どの程度移相させるべきかを示す値)を移相器81に設定することとなる。

【0040】したがって、これら移相器81、位相比較器82、LPF83、S/Hサンプルホールド回路84、加算器85及びオフセット値発生回路86、ループスイッチ87によって形成されるループのフィードバック制御によって、書込用クロック信号WCKは、当該ループ閉成時点から次第に、クロック再生回路68からの再生クロック信号RCKの位相にオフセット分を加味した位相へと合致せしめられていくこととなる。このように位相合わせされた書込用クロック信号WCKは、移相器81から導出され、情報記録系の1つを担うエンコーダ91における符号変換用のビットクロックとして供給される。ここで採用されるオフセットは、書込ビームをディスクに照射してから実際に記録マークが形成されるまでの時間に対応した値とすることが好ましい。このよ

うにすることによって、ディスクの記録特性に適合したデータの書込ができる。

【0041】また、基準信号V0を選択するようループスイッチ87に対してCPU9がループ制御信号を発生した場合（ループ開放時）は、当該基準信号V0に対応する移相量が移相器81に設定され、移相器81は、この設定された移相量にて原書込用クロック信号WCK0の位相をシフトさせて書込用クロック信号WCKを生成する。従ってループ開放時には、再生クロックに依存せず基準信号V0によって定まる位相調整の施された書込用クロックWCKが発生することとなる。

【0042】S/Hタイミング生成回路88の詳細については後述する。エンコーダ91は、CPU9から転送された、ディスクへ書き込むべきデータの終段符号化を行う。ここでは先の図3に参照されるような8-16変調をなすための符号変換がなされる。CPU9は、書き込むべきデータの原信号を図示せぬ書込データ供給系から受信し、当該原信号に対し8-16変調処理以外のデータ処理すなわち、上述したECC内符号31やECC外符号32を付加してECCブロック30を構成するとともに当該ECCブロック30に対してインターリーブを施す処理を行ってエンコーダ91に転送すべきデータを生成する。かかるデータの転送には、内蔵メモリ9mが使用される。転送データは、一旦このメモリ9mに記憶され、CPU9が判断した所定のタイミングで順次読み出される。エンコーダ91により最終的に符号化されたデータは、パワー制御回路92に送られる。

【0043】パワー制御回路92は、書込モードにおいて、エンコーダ91から送られた符号化データに応じたレーザーパワーを指定するための制御信号を発生し、レーザー駆動回路93は、この制御信号に応じた実際のピックアップ光源レーザに即したレベルの駆動信号を発する。これにより、ピックアップ60がディスクに照射する記録（書込）用レーザ光の強度は、符号化データに対応して変化せしめられることとなる。これに対し読取モードにおいては、パワー制御回路92は、エンコーダ91から送られた符号化データには応じず、読取用の低レベルかつ略一定なレーザーパワーを指定するための制御信号を発生し、レーザー駆動回路93は、この制御信号に応じた実際のピックアップ光源レーザに即したレベルの駆動信号を発する。これにより、ディスクは、ピックアップ60の照射する一定な低レベルの読取用レーザ光によって読み取られることとなる。

【0044】ウォブル検出回路63の出力ウォブル信号はまた、既述したように、ディスクの回転制御にも使用される。具体的には、図示せぬ局部発振器より供給された基準クロック信号を一方の入力とする位相比較器51の他方の入力に、ウォブル信号が供給される。位相比較器51は、2つの入力の周波数誤差及び位相誤差を得、これに応じたスピンドル制御信号をドライバー回路52

に供給し、ドライバー回路52は、スピンドル制御信号に応じたモータ50の駆動信号を発生する。これにより、読取信号から検出されるウォブル信号の周波数が基準クロック信号の周波数に一致するようにモータ50の回転制御がなされることとなる。

【0045】次に、この情報記録装置の動作について説明する。図7は、図6に示される情報記録装置の、ディスクに既書き込まれている一連の書込済データ（以下、旧データと言う）に対しこれに改めてデータ（以下、新データと言う）を後続させ追加して書き込む追加記録モードにおける各部動作波形及び動作形態を示すタイムチャートである。

【0046】本実施例においては、図7の（A）段に示されるように、旧データの書き込み終了時に、当該旧データの最終ECCブロック30Eの次に配されるべきECCブロック30Tの先頭レコーディングセクタ40Tにおける第1シンクフレーム42Fの全データ部及び第2シンクフレーム42Sのデータ部の86バイト分に対応するダミーデータ（以下、旧ダミーデータと言う）44を、シンク情報SY及び対応するID情報21とともに当該旧データに続けて記録する。

【0047】このような形態でなされた旧データ書込済のディスクに対して、図示せぬ指令手段から追加記録開始指令が発せられると、CPU9は、図8及び図9に示されるような追加記録処理を実行する。すなわち、CPU9は、追加記録開始指令にตอบสนองして先ず、読取モードを開始させる（ステップS1）。この処理においては、CPU9は、エンコーダ91からの入力データに応ずることなくピックアップ60のディスク1への照射光の強度が当該記録面の書込作用を生じさせない程度の比較的低い一定の読取光レベルとなるようにパワー制御回路92を制御する。

【0048】次いでCPU9は、旧データのうち、最後の旧データが記録されているレコーディングセクタ40Eの先頭側ID情報21を検索するため、当該ID情報21に対応する番地であるN番地をサーチする（ステップS2）。この処理は、デコーダ67の出力信号に基づいて実行される。なお、ここでは、旧データのうち、最後のECCブロック30Eにおける最後のレコーディングセクタ40Eのデータの先頭側に配されたID情報21が示す番地がN番地であるとし、それに引き続いて旧ダミーデータ44が記録されているレコーディングセクタ40Tの先頭側に配されたID情報21が示す番地が（N+1）番地であるとしている。

【0049】N番地に対応するID情報21が検出されると（図7の時刻t1参照）、当該N番地に対応するID情報21に引き続いてレコーディングセクタ40Eに記録されているデータ及びその後続レコーディングセクタ40Tのデータの読み取りを開始する（ステップS3）。そして、CPU9は、（N+1）番地に対応する

1 D 情報 2 1 が検出されたか否かを、読取データの復調出力すなわちデコーダ 6 7 の出力信号に基づいて判定する（ステップ S 4）。ステップ S 4 において（N+1）番地に対応する 1 D 情報 2 1 が検出されない場合は、それが検出されるまでデータの読み取りを継続する。

【0050】ステップ S 4 において（N+1）番地に対応する 1 D 情報 2 1 が検出された場合（図 7 の時刻 t 2 参照）、CPU 9 は、今度は検索目標を当該（N+1）番地の 1 D 情報 2 1 に対応するレコーディングセクタ 4 0 T における第 2 シンクフレーム 4 2 S として、さらに進行して得られる読取データに基づいて検索を行う（ステップ S 5）。より詳しくは、CPU 9 は、（N+1）番地の 1 D 情報 2 1 検出後における当該第 2 シンクフレーム 4 2 S 先頭の同期信号 S Y の検出信号 S Y' をシンク検出回路 6 9 より受信し、その受信タイミングをもって当該第 2 シンクフレーム 4 2 S の到来を検知するのである。

【0051】こうして第 2 シンクフレーム 4 2 S が検知されると（図 7 の時刻 t 3 参照）、CPU 9 は、S/H 回路 8 4 に S/H タイミング信号が供給されることを許可するための許可指令信号を S/H タイミング生成回路 8 8 に発する（ステップ S 6）。CPU 9 はまた、当該第 2 シンクフレーム 4 2 S の検知にตอบสนองしてクロック再生回路 6 8 からの再生クロックのカウントを開始する（ステップ S 7）。

【0052】S/H タイミング生成回路 8 8 は、例えば図 10 の如く構成される。図 10 において、S/H タイミング生成回路 8 8 は、上記許可指令信号及びシンク検出回路 6 9 からのシンク検出信号 S Y' を入力とする AND 回路 8 G と、AND 回路 8 G の出力信号をセット入力とする SR フリップフロップ 8 F 1 と、SR フリップフロップ 8 F 1 の Q 出力信号を反転リセット入力及びイネーブル入力とするとともにクロック再生回路 6 8 からの再生クロックをトリガー入力とするカウンタ 8 C と、カウンタ 8 C のカウント値と所定の第 1 カウント値との一致判定を行う第 1 の比較器 8 C M 1 と、カウンタ 8 C のカウント値と所定の第 2 カウント値との一致判定を行いその一致判定出力を上記フリップフロップ 8 F 1 のリセット入力へ供給する第 2 の比較器 8 C M 2 と、この第 1 の比較器 8 C M 1 の一致判定出力をセット入力とし第 2 の比較器 8 C M 2 の一致判定出力をリセット入力とする SR フリップフロップ 8 F 2 とによって構成される。SR フリップフロップ 8 F 2 の Q 出力からは、S/H 回路 8 4 への S/H タイミング信号が発生される。

【0053】この構成において、AND 回路 8 G は、許可指令信号及びシンク検出信号 S Y' の双方が有意となったときに高レベル信号が発生し、これにตอบสนองしてフリップフロップ 8 F 1 がセット状態とされる。これによりカウンタ 8 C は、リセットが解除されかつ再生クロックのカウント可能状態とされる。従ってカウンタ 8 C は、

許可指令信号及びシンク検出信号 S Y' の双方が有意となったのにตอบสนองしてカウント動作を開始することとなる。比較器 8 C M 1 は、カウンタ 8 C のカウント出力が第 1 カウント値 N 1 に達したことを検知し、フリップフロップ 8 F 2 をセット状態にする。その後カウンタ 8 C のカウントがさらに進むと、比較器 8 C M 2 は当該カウント出力が第 2 カウント値 N 2 に達したことを検知し、フリップフロップ 8 F 2 をリセット状態にする。これにより、フリップフロップ 8 F 2 は、S/H タイミング信号を、第 1 カウント値 N 1 において立ち上げ第 2 カウント値 N 2 において立ち下げることとなる。

【0054】よって SR フリップフロップ 8 F 2 の Q 出力からは、図 7 の（F）段に示されるような波形の S/H タイミング信号が発生される。なお、図 7 に示されるように、上記第 1 カウント値 N 1 は、第 2 シンクフレーム 4 2 S における旧ダミーデータの例えば 4 0 バイト分に相当する値とされ、上記第 2 カウント値 N 2 は、第 2 シンクフレーム 4 2 S における旧ダミーデータの 8 6 バイト分に相当する値とされ、両カウント値の差は 1 シンクフレームの概ね半分程度に相当する 4 6 バイト分に設定される。換言すれば、カウンタ 8 C が第 1 カウント値 N 1 に達するタイミングは、第 2 シンクフレーム 4 2 S における旧ダミーデータの 4 0 バイト分の読取が完了した時点に対応し、カウンタ 8 C が第 2 カウント値 N 2 に達するタイミングは、第 2 シンクフレーム 4 2 S における旧ダミーデータの 8 6 バイト分の読取が完了した時点に対応し、S/H タイミング信号の高レベル持続期間が 4 6 バイト分に相当する。但し、第 1 及び第 2 カウント値 N 1、N 2 及びそれらの差は、上述した値に限らずそれぞれ適当な別の値に変更しても良い。変更自在な態様としては、図 10 に示されるように、これら所定のカウント値を適宜変更可能にして格納できるメモリ 8 V 1 及び 8 V 2 を使用することができる。

【0055】一方、CPU 9 も、計数手段として第 2 シンクフレーム 4 2 S の検知にตอบสนองしてクロック再生回路 6 8 からの再生クロックのカウントを開始しており、当該カウント開始からのカウント値が上記第 1 カウント値 N 1 に達したか否かが判別される（ステップ S 8）。第 1 カウント値 N 1 に達していれば、CPU 9 は、図 7 の（E）段に示されるように、ループ制御信号を立ち上げ、スイッチ 8 7 をして位相合わせ回路 8 0 のサーボループを閉成せしめる（ステップ S 9）。このループ閉成タイミングは、S/H タイミング信号の立ち上がりエッジのタイミングに相当することとなる。

【0056】その後、CPU 9 は、さらにそのカウント動作を継続して当該カウント値が上記第 2 カウント値 N 2 に達したか否かを判別する（ステップ S 10）。ここで第 2 カウント値 N 2 をカウントしたことが判別されると（図 7 の時刻 t 4 参照）、CPU 9 は、制御手段として、書込モードを開始させる（ステップ S 11）。この

処理においては、CPU9は、エンコーダ91からの入力データに応じて、ディスク記録面に書込作用を生じ得る書込光レベルとそうでない読取光レベルとの間でピックアップ60のディスク1への照射光の強度を変化させるような記録モードにパワー制御回路92を制御する。

【0057】これにより、エンコーダ91の出力データのうち、図7の(H)段に実線で示されるような当該第2シンクフレーム42Sの87バイト目以降のデータがパワー制御回路92に取り込まれディスク1に記録されることとなる。図7(H)段に点線で示されるエンコーダ91の出力データは、パワー制御回路92に転送されるものの読取モードが設定されているが故に、パワー制御回路92の出力に反映されていないことを示している。なお、データを書き込まないときでもピックアップ60の照射光を再生パワーに設定し続けるのは、ディスク上の情報記録トラック(グルーブトラック)をトラッキングするためトラッキングサーボ制御用の反射光が必要であるからである。

【0058】かくして新データの書き込みが開始された後は、CPU9は、エンコーダ91に転送すべき本来の新データが終了したか否かを判定する(ステップS12)。終了していない場合にはそのまま新データの記録を継続し、終了した場合には、記録終了時の最終処理として、当該データの最終ECCブロック30の次に配されるべきECCブロック30の先頭レコーディングセクタ40における第1シンクフレームの全データ部及び第2シンクフレームのデータ部の86バイト分に対応するダミーデータ44を、シンク情報SY及び対応するID情報21とともに当該データに続けて記憶する(ステップS13)。この態様は、先述した旧データの記録終了時における処理と同様である。

【0059】ステップS13により記録終了時の付加的記録を含め全ての新データに関わる書込が終了すると、CPU9は、エンコーダ91からの入力データに応ずることなくピックアップ60のディスク1への照射光の強度が一定の読取光レベルとなるようにパワー制御回路92を制御して読取モードに切り換える(ステップS14)。こうして、新データの追加記録処理が終了する。

【0060】上述したように、新データの書込直前においては、ループ制御信号が立ち上げられかつS/Hタイミング信号が発生される。S/H回路84は、S/Hタイミング信号が高レベルにある間、サンプリングすなわちLPF83からの誤差信号を取り込んで加算器85に伝送するよう動作する。このときCPU9は、ループ制御信号を立ち上げて加算器85の出力を移相器81に中継するようスイッチ87を制御しており、S/Hタイミング信号の高レベル期間に亘って当該誤差信号に応じた移相量が移相器81に指定される。

【0061】したがってS/Hタイミング信号が高レベルにある間、位相合わせ回路80のフィードバック制御

が実行され、図7の(G)段に示されるように当該フィードバックループにおけるLPF83の出力エラーレベルが小さくなる方向に変化し、当該ループは、いわゆる位相引込をなすこととなる。かかる位相引込が進むと、当該ループはロックレンジに移行して、オフセット値にて定まる目標値近傍に誤差信号が収められる位相ロック状態を保つこととなる。かくして書込用クロックWCKは、この新データの書込直前におけるS/Hタイミング信号の高レベル期間において再生クロックRCKの位相にオフセットを加味した目標位相に合わされる。

【0062】S/H回路84は、S/Hタイミング信号の立ち下がりに応答してその直前にサンプルした誤差信号の値を保持し以降これを加算器85へ出力することとなる。従って移相器81には、かかる保持値とオフセット値との加算値に対応する移相量が、S/Hタイミング信号の高レベル期間経過後も継続して指定されることとなり、書込用クロックWCKは、S/Hタイミング信号の高レベル期間経過後においてその継続される移相量にて位相調整されることとなる。

【0063】なお、図7の(C)段及び(D)段においては、書込用クロックWCKと再生クロックRCKの位相態様を概略的かつ模式的に示しており、書込用クロックWCKに付された斜線部は、位相合わせされることなく基準値V0に対応する移相量にてその位相が定まることを、書込用クロックWCKに付されたクロスハッチ部は、再生クロックRCKの位相に合わせ込まれていることを、書込用クロックWCKに付された縦線部は、再生クロックRCKの位相にほぼ合致した状態が維持されていることを、それぞれ示している。

【0064】こうした位相合わせ回路80の動作によれば、新データの書込よりも所定期間だけ前の読取から書込用クロックWCKの位相が書込済データによる再生クロックRCKの位相に整合するように調整されるので、書込済データのビットクロックの位相の連続性を保ったままのビットクロックにて新データをディスクに書き込むことができる。よってこのように書き込まれたディスクにおいては、ビットクロックの再生やシンク検出において支障を来すことなく当該書込済データと新データとを円滑に連続再生することができる。

【0065】次に、本発明による他の実施例について説明する。図11は、本発明の第2実施例による情報記録装置の概略構成を示しており、図6に示されるものと同等の部分には同一の符号が付されている。図11における情報記録装置は、基本的に、図6の構成から移相器81、オフセット発生回路86及びS/H回路84を除いて構成されている。それ故、PLL回路70'は、LPF72とVCO73との間に加算器7Aが接続され、LPF72の出力信号を一方の入力とし加算出力信号をVCO73に供給する構成の改変が施されている。

【0066】さらに、改変された位相合わせ回路80'

においては、VCO73の出力信号が直接、位相比較器82の入力に供給されるとともに、書込用クロック信号WCKとして導出されている。位相合わせ回路80'においてはまた、LPF83の出力信号が増幅器85'を介してループスイッチ87の一入力とされ、ループスイッチ87の出力信号は、LPF8fを介してPLL回路70'における加算器7Aの他入力へ供給される。そして、ループスイッチ87に供給されるループ制御信号は、先述したS/Hタイミング生成回路88と同等の構成及び信号発生原理を有するタイミング生成回路88'によって発生される。

【0067】位相合わせ回路80'において、位相比較器82は、PLL回路70'におけるVCO73の出力信号（書込用クロックWCK）とクロック再生回路68からの再生クロック信号RCKとを位相比較し、両者の位相誤差に応じた信号をLPF83及び増幅器85'を介してループスイッチ87に供給する。ループスイッチ87は、増幅器85'の出力増幅誤差信号及び基準信号V0のいずれかを選択的にLPF8fへ出力する。LPF8fを経た信号はPLL回路70'におけるVCO73の入力制御信号に加えられる。

【0068】このような構成において、増幅器85'の出力を選択するようループスイッチ87に対してCPU9がループ制御信号を発生した場合（ループ閉成時）、書込用クロック信号WCKと再生クロック信号RCKとの位相誤差が位相比較器82によって得られ、この位相誤差に応じたフィードバック信号がスイッチ87、LPF8f及び加算器7Aを介してVCO73に供給される。ここでVCO73に供給されるフィードバック信号は、位相誤差に応じた移相量、より詳しくは当該位相誤差をゼロに収束させるような移相量（瞬時周波数）をVCO73に設定することとなる。

【0069】したがって、これら位相比較器82、LPF83、増幅器85'、ループスイッチ87、LPF8f及び加算器7Aによって形成されるループのフィードバック制御によって、書込用クロック信号WCKは、当該ループ閉成時点から次第に、クロック再生回路68からの再生クロック信号RCKの位相へと合致せしめられていくこととなる。

【0070】また、基準信号V0を選択するようループスイッチ87に対してCPU9がループ制御信号を発生した場合（ループ開放時）は、当該基準信号V0に対応する移相量（瞬時周波数）がVCO73に設定され、VCO73は、この設定された移相量にて書込用クロック信号WCKの位相をシフトさせる（つまり瞬時周波数を変化させる）。従ってループ開放時には、再生クロックに依存しない基準信号V0によって定まる位相調整の施された書込用クロックWCKが発生することとなる。

【0071】但し、注記すべきは、LPF8fの作用である。このLPF8fは、ループスイッチ87が増幅器

85'の出力信号から基準信号V0に選択を切り換えたときに、フィードバック信号を増幅器85'の出力信号の値から基準信号V0の値へと緩やかに変移させてVCO73に供給する作用を奏する。これにより、当該ループの位相ロック状態後におけるループ開放後において、そのロックされた位相から基準信号V0に対応する位相へと書込用クロック信号WCKの位相を徐々に変化させていき、暫くした後に初めて基準信号V0に対応する位相（周波数）に復帰させるようにしているのである。

【0072】この情報記録装置の動作は、図12に示される。図12においては、（F）段に示されるように、ループ制御信号が上記第1カウント値N1のタイミングで立ち上がって当該位相合わせループを閉じるとともに、上記第2カウント値N2のタイミングで立ち下がって当該位相合わせループを開く。

【0073】したがってループ制御信号が高レベルにある間、位相合わせ回路80'のフィードバック制御が実行され、図12の（G）段に示されるように当該フィードバックループにおけるLPF83の出力エラーレベルが小さくなる方向に変化し、当該ループは、いわゆる位相引込をなすこととなる。かかる位相引込が進むと、当該ループはロックレンジに移行して、目標値近傍に誤差信号が収められる位相ロック状態を保つこととなる。かくして書込用クロックWCKは、この新データの書込直前におけるループ制御信号の高レベル期間において再生クロックRCKの位相に合わせられる。

【0074】ループ制御信号が立ち下がると、位相合わせループは開放され基準信号V0がLPF8fを介して加算器7Aに供給される。ここでLPF8fは、所定の時定数を有するものであり、基準信号V0が供給されても直ちにこれをそのまま加算器7Aに伝送せず、指数関数的にその基準信号V0が示す値に近づくような信号を加算器7A伝送することとなる。

【0075】かくして当該ループの閉成後のLPF83の出力は、図12（G）段に※1にて示されるような緩慢な変化を呈して基準信号V0に対応するレベルへと到達することとなる。これにより、追加記録開始から暫くした後は、書込用クロック信号WCKは、書込用クロック生成手段たるPLL回路70'に固有の周波数及び位相（すなわち基準信号V0にて定まる中心周波数）に復帰せしめられるので、新データの旧データに対するつなぎ目近傍の箇所でのみ再生クロックRCKと同期されることとなる。

【0076】なお、図12の（C）段及び（D）段においても、書込用クロックWCKと再生クロックRCKの位相態様を概略的かつ模式的に示しており、書込用クロックWCKに付された斜線部は、位相合わせされることなく基準信号V0に対応する移相量にてその位相が定まることを、書込用クロックWCKに付されたクロスハッチ部は、再生クロックRCKの位相に合わせ込まれている

ことを、それぞれ示している。但し、書込用クロックWCKにおける時刻 t_4 以降の暫くの間は、かかるクロスハッチがだんだんと薄れて元の斜線に似通っていくが如く描かれており、再生クロックRCKの位相から書込用クロックWCKの位相へと移りゆく態様が示されている。

【0077】こうした位相合わせ回路80'の動作によっても、新データの書込よりも所定期間だけ前の読取から書込用クロックWCKの位相が書込済データによる再生クロックRCKの位相に整合するように調整されるので、書込済データのビットクロックの位相の連続性を保ったままのビットクロックにて新データをディスクに書き込むことができ、情報再生時において読取データの同期動作を乱すことなく当該書込済データと新データとを円滑に連続再生することができる。しかも、この第2実施例においては、比較的簡単な構成とすることができるので、コスト面等で有利である。

【0078】なお、以上の動作をなすためのCPU9の処理は、図13及び図14に示される。これによれば、CPU9は、ステップS5によって第2シンクフレームが検出されると、その後のステップS6'においてタイミング生成回路88'にループ制御信号の発生を許可してステップS7へと移行することが分かる。また、ステップS7の後、図8及び図9におけるステップS8及びS9を省いてステップS10による第2カウント値の判別処理を行うようにしていることが分かる。

【0079】次に、本発明によるさらに他の実施例を説明する。図15は、第3実施例による情報記録装置の概略構成を示しており、図6と同等の部分には同一の符号が付されている。図15においては、図6に示される構成に対して情報記録系が改善されている。すなわち、エンコーダ91Aは、その符号化出力として反転出力と非反転出力との2つを備える。この2つの符号化出力は、それぞれスイッチ回路91Sに供給される。スイッチ回路91Sは、一方及び他方の符号化出力のうちいずれか1つを選択的にパワー制御回路92に供給する。

【0080】バッファ回路91Bは、再生増幅器61からの読取信号を取り込んで所定の遅延時間（例えば最小ビット長 T_{min} に等しい例えば3T相当分）をもって比較回路91Cに供給する。比較回路91Cは、CPU9から供給される比較判定トリガー信号にตอบสนองしてバッファ回路91Bの出力の値とエンコーダ91Aの非反転出力の値とを比較し、両者が一致していた場合はエンコーダ91Aの反転出力を選択するようスイッチ回路91Sに制御信号を供給する。

【0081】このような構成によれば、追加記録の際に書込済データの末尾と新データの先頭とが結合されて不具合の生じるデータパターンとなることを回避することができる。このような第3実施例特有の作用効果は、図16を参照して詳説することができる。

【0082】図16において、(A)段に示される書込済データは、(B)段に示されるように、バッファ回路91Bによって3T相当分遅延される。エンコーダ91Aの非反転出力データは、(C)段に示されるように、これまでの説明と同様に時刻 t_4 においてパワー制御回路92に取り込まれ始める。時刻 t_4 を過ぎると、書込済データは途切れてしまうが、比較回路91Cには、

(D)段に示されるように時刻 t_4 にて立ち上がり当該3T相当のパルス幅を呈する比較判定トリガーがCPU9より供給され、かつ3T相当分遅延されたバッファ出力の書込済データが入力されるので、この入力データとエンコーダ91Aの非反転出力データとが値比較されることとなる。すなわち、書込済データの末尾3T分と新データたるエンコーダ91Aの非反転出力データの先頭3T分とが比較される。

【0083】比較回路91Cは、当該データの値が一致していることを判定すると、スイッチ回路91Sをしてエンコーダ91Aの反転出力データをパワー制御回路92に転送せしめ以降この反転出力による記録形態を継続する。図16の(E)段に示される追加記録後のデータは、この場合の態様を表している。逆に、当該データの値が一致していないことを判定すると、そのままスイッチ回路91Sをしてエンコーダ91Aの非反転出力データをパワー制御回路92に転送する状態を継続する。

【0084】これにより、書込済データの末尾とこれに結合される新データの先頭とが同一の値となることを防ぐことができる。例えば、書込済データの末尾が7Tに亘って論理値0が続いていた場合に新データの先頭も7Tに亘って同じく論理値0が続いていたとすると、単純に両データを結合した場合は、14Tに亘って論理値0が続くデータパターンになってしまう。この14Tに亘って論理値0が続くパターンは、本実施例においては同期信号SYにだけ与えられるパターンと一致する。つまり、かかるデータ結合部において偶発的に同期信号SYと同じデータパターンが形成されたことになり、後の情報再生時においてシンク検出回路の誤検出の要因となってしまう。

【0085】これに対して本実施例においては、このような場合に新データを強制的に反転せしめるので、偶発的な同期信号SYのパターン形成を防ぎ、もって当該同期信号の誤検出を回避することができる。なお、この第3実施例においては書込済データの末尾とこれに結合される新データの先頭とが同じであった場合、新データの論理値を反転させるようにしているが、かかる反転処理と同様に実質的にデータの内容を変えないような値の変更をなすようにしても良い。

【0086】なお、これまでの説明においては、追加記録される先頭レコーディングセクタ40Tの各シンクフレームには新データが格納される如く説明したが、特開平9-270171号公報に記載されているように、新

データに代えてダミーデータを格納するようにしても良い。また、上記実施例においては、記録媒体としてDVD-Rについて主に説明したが、他の追加記録可能な記録媒体に対して本発明は適用可能である。

【0087】さらに、特定同期信号としてシンクフレーム同期信号SYを例に挙げたが、シンクフレームとは異なる情報量の所定データブロック毎に配される他の同期信号を特定同期信号として本発明を実現することも可能である。また、旧データの記録末端部に図7に示されるような旧ダミーデータを後続させて記録したディスクに対して追加記録をなす態様につき説明したが、かかる旧ダミーデータの如き後続部を設けなくとも本発明は実現可能である。すなわち、旧データの格納されるシンクフレームにおいて位相合わせを行って新データの書込用クロックの同期合わせを行うようにしても相当な効果が発揮される。

【0088】この他にも、上記実施例においては種々の手段を限定的に説明したが、当業者の設計可能な範囲にて適宜変更することも可能である。

【0089】

【発明の効果】以上詳述したように、本発明の情報記録装置によれば、情報再生時において読取データの同期動作を乱すことなく書込済データとこれに後続して追記されたデータとを円滑に連続再生することを可能とする記録媒体への記録形態を採ることができる。

【図面の簡単な説明】

【図1】DVD-Rの原記録情報を担うデータセクタの構造を示す図である。

【図2】図1のデータセクタを用いて構築されるECCブロックの構造を示す図である。

【図3】DVD-Rに記録されるデータの物理フォーマットを示す図である。

【図4】DVD-Rの記録層の構造を示す斜視図である。

【図5】DVD-Rにおけるグルーブトラックとこれに書き込まれるシンクフレーム系列のデータ並びにランドトラックに形成されるプリピットの対応関係を示す模式図である。

【図6】本発明の第1実施例による情報記録装置の概略的構成を示すブロック図である。

【図7】図6の情報記録装置の各部動作波形及び動作形態を示すタイムチャートである。

【図8】図6の情報記録装置におけるCPUによって実行される追加記録処理の手順を示す前半フローチャートである。

【図9】図6の情報記録装置におけるCPUによって実行される追加記録処理の手順を示す後半フローチャートである。

【図10】図6の情報記録装置におけるS/Hタイミン生成回路の具体的構成例を示すブロック図である。

【図11】本発明の第2実施例による情報記録装置の概略的構成を示すブロック図である。

【図12】図11の情報記録装置の各部動作波形及び動作形態を示すタイムチャートである。

【図13】図11の情報記録装置におけるCPUによって実行される追加記録処理の手順を示す前半フローチャートである。

【図14】図11の情報記録装置におけるCPUによって実行される追加記録処理の手順を示す後半フローチャートである。

【図15】本発明の第3実施例による情報記録装置の概略的構成を示すブロック図である。

【図16】図15の情報記録装置による特徴的動作形態を示すタイムチャートである。

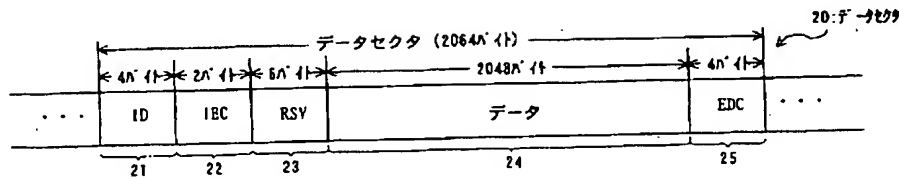
【符号の説明】

- 1 DVD-R
- 50 スピンドルモータ
- 51 位相比較器
- 52 モータドライバ
- 60 ピックアップ
- 61 再生増幅器
- 62 帯域通過フィルタ
- 63 ウォブル検出回路
- 64 プリピット検出回路
- 65 クロストーク除去回路
- 66 プリピットデコーダ
- 67 主データデコーダ
- 68 クロック再生回路
- 69 シンク検出回路
- 70, 70' ウォブル同期原書込用クロック生成用PLL回路
- 71 位相比較器
- 72 低域通過フィルタ
- 73 電圧制御型発振器
- 74 分周器
- 7A 加算器
- 80, 80' 位相合わせ回路
- 81 移相器
- 82 位相比較器
- 83 低域通過フィルタ
- 84 サンプルホールド回路
- 85 加算器
- 85' 増幅器
- 86 オフセット発生回路
- 87 ループスイッチ
- 88 サンプルホールドタイミング生成回路
- 88' タイミング生成回路
- 8G AND回路
- 8F1, 8F2 SRフリップフロップ
- 8C カウンタ

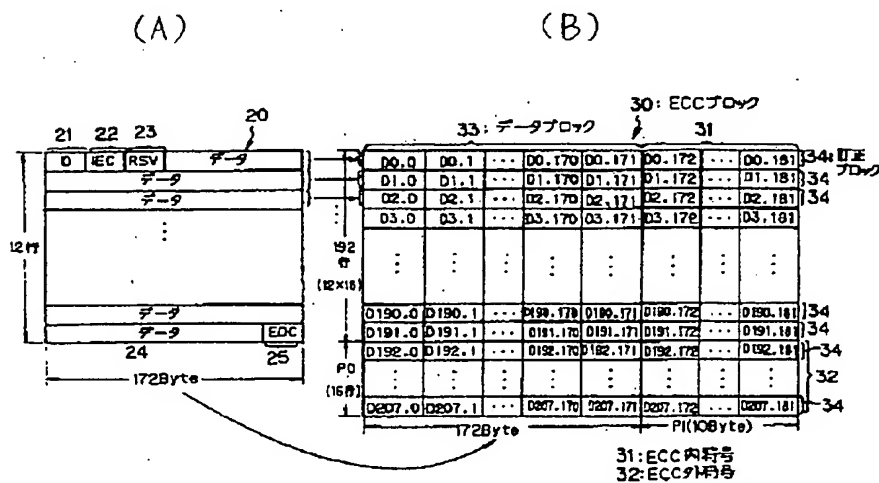
8CM1, 8CM2 比較器
 8V1, 8V2 メモリ
 9 CPU
 91, 91A エンコーダ
 92 パワー制御回路

93 レーザ駆動回路
 91S スイッチ回路
 91B バッファ回路
 91C 比較回路

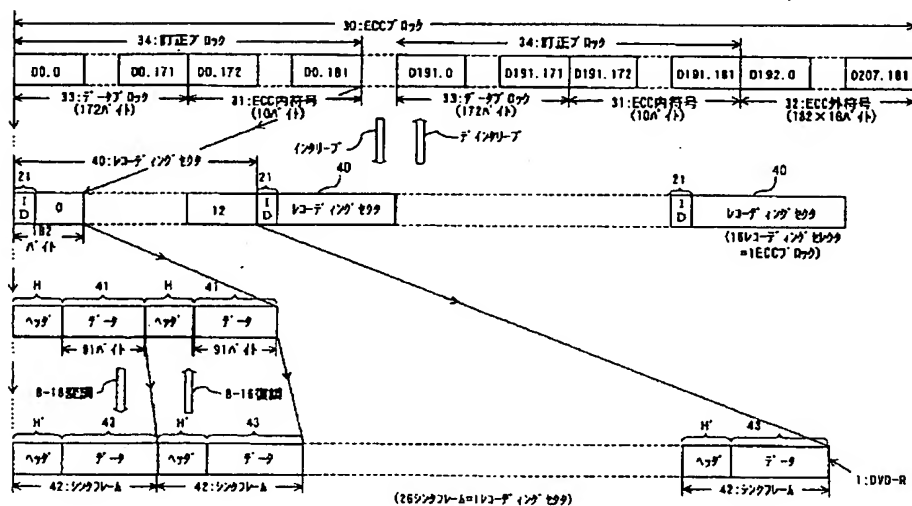
【図 1】



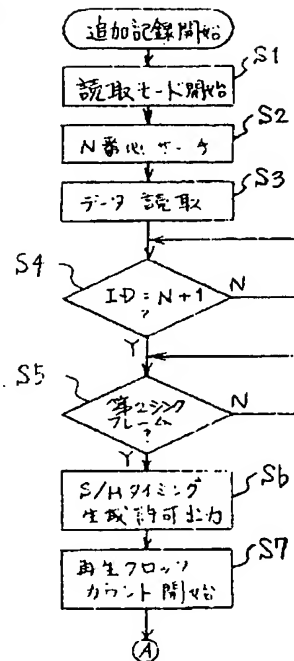
【図 2】



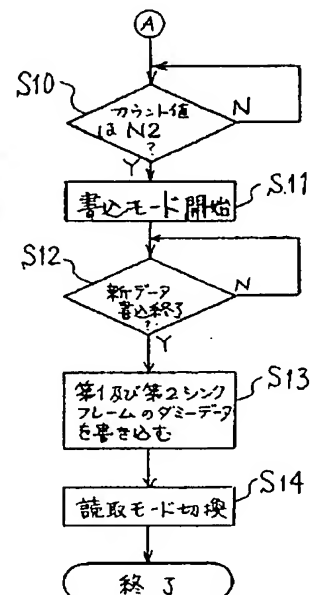
【図 3】



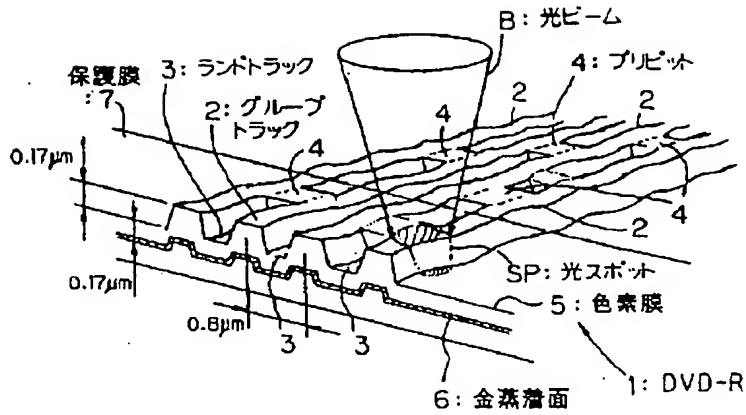
【図 8】



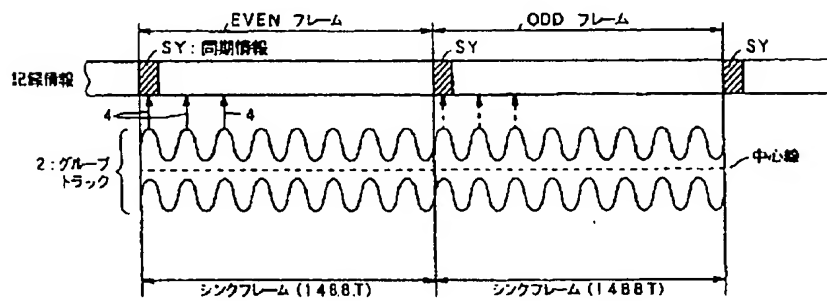
【図 14】



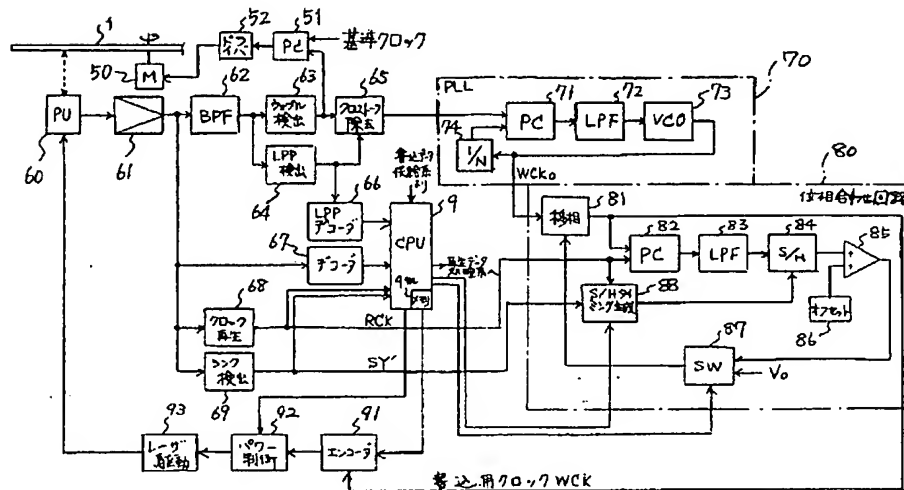
【図4】



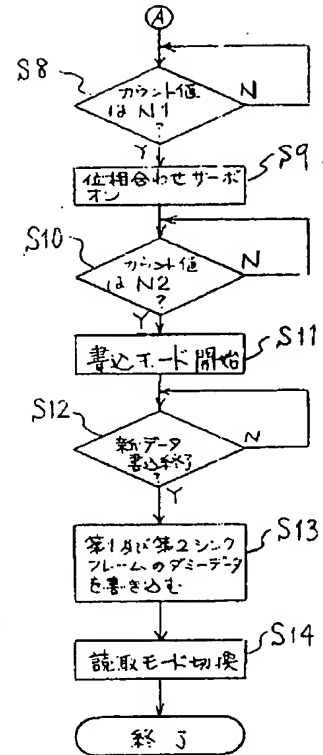
【図5】



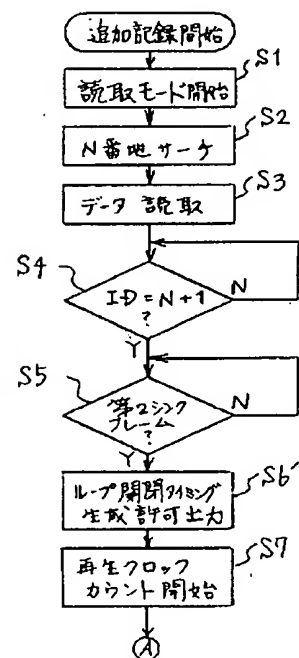
【図6】



【図9】



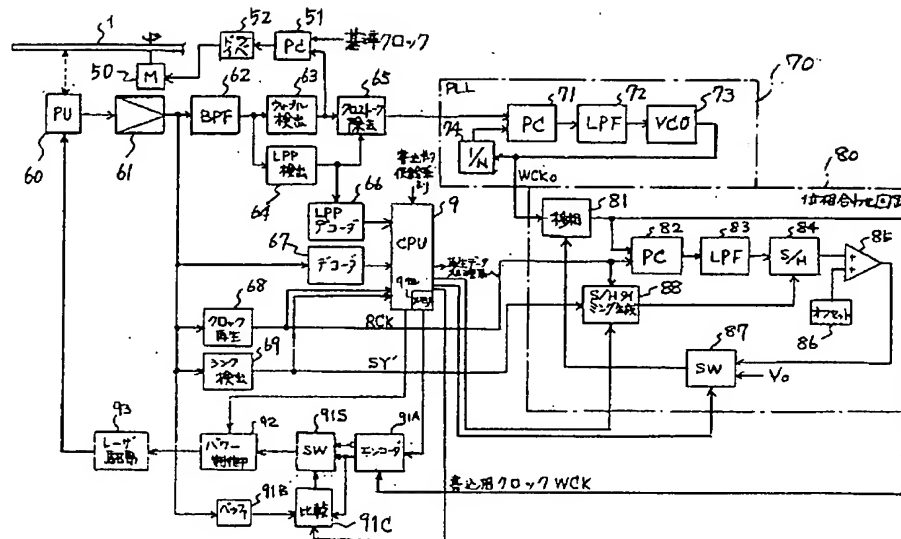
【図13】



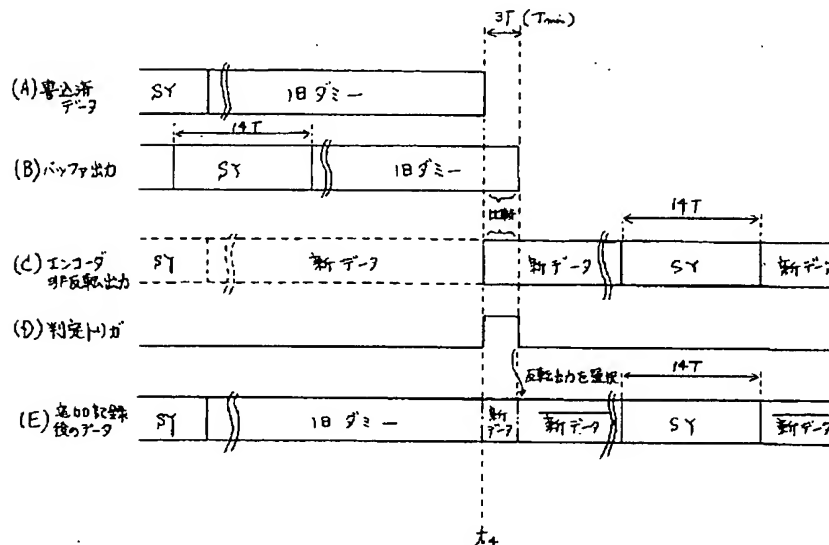
[illegible]

[illegible]

【図 15】



【図 16】



【手続補正書】

【提出日】平成10年1月30日

【手続補正1】

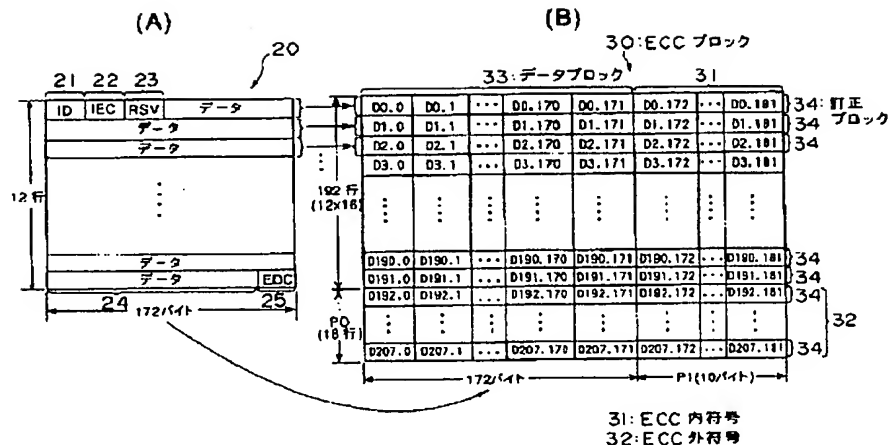
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正 2】

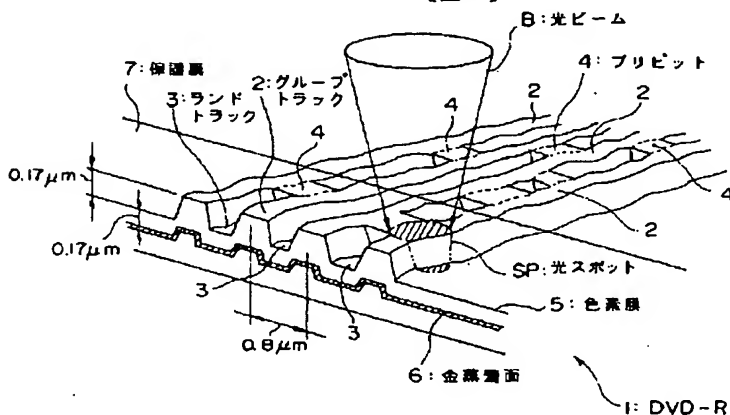
【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正内容】

【図 4】



【手続補正 3】

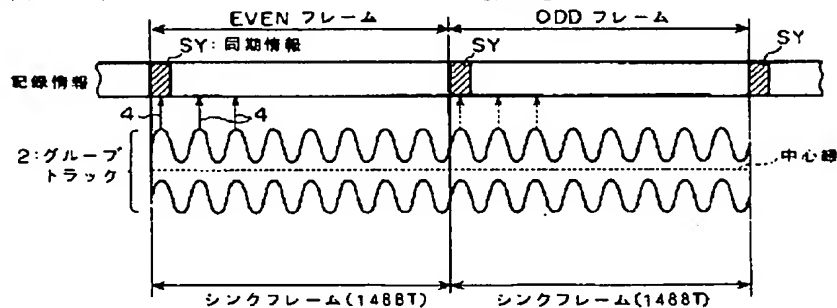
【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正内容】

【図 5】



【手続補正 4】

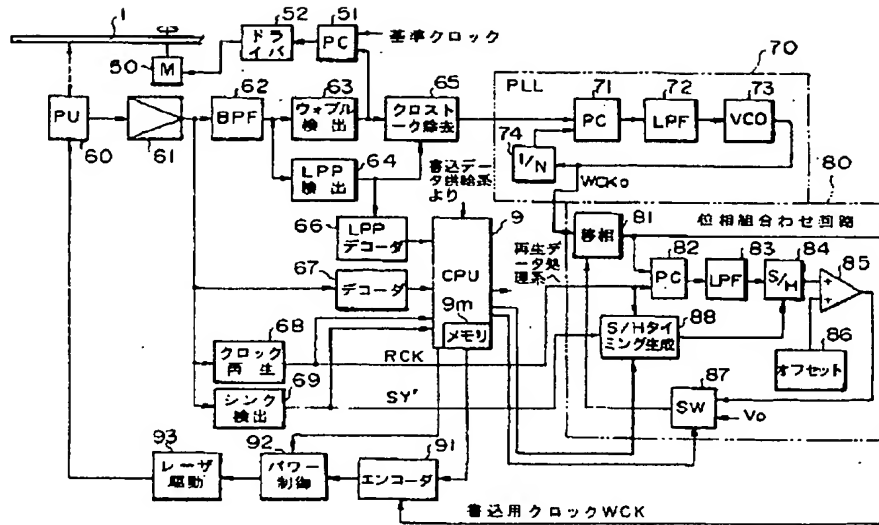
【補正対象書類名】図面

【補正対象項目名】図 6

【補正方法】変更

【補正内容】

【図 6】



【手続補正 5】

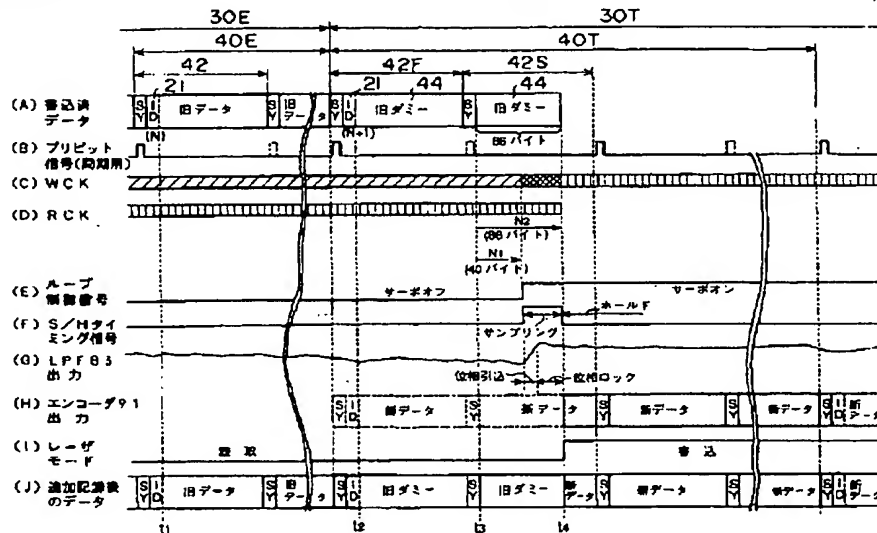
【補正対象書類名】図面

【補正対象項目名】図 7

【補正方法】変更

【補正内容】

【図 7】



【手続補正 6】

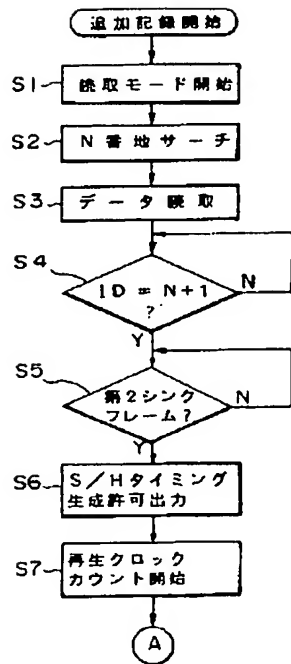
【補正対象書類名】図面

【補正対象項目名】図 8

【補正方法】変更

【補正内容】

【図 8】



【手続補正 8】

【補正対象書類名】図面

【補正対象項目名】図 10

【補正方法】変更

【補正内容】

【図 10】

【手続補正 7】

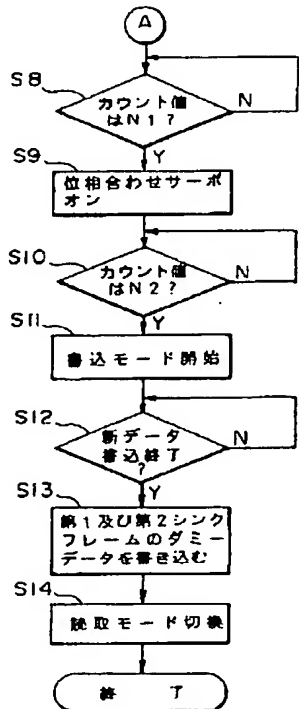
【補正対象書類名】図面

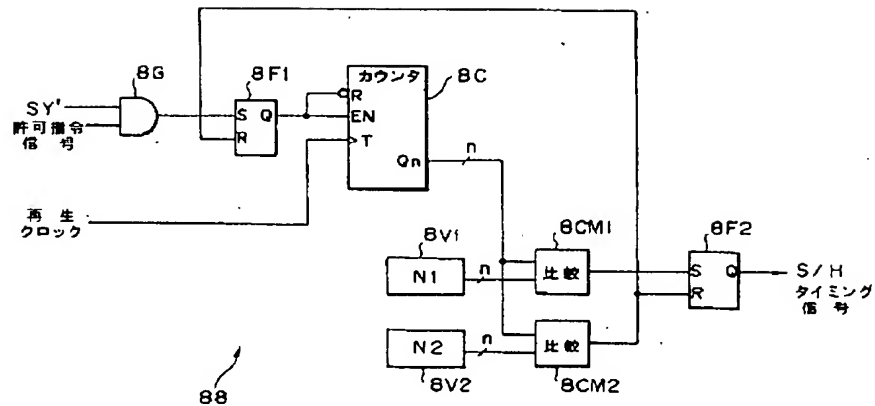
【補正対象項目名】図 9

【補正方法】変更

【補正内容】

【図 9】





【手続補正 9】

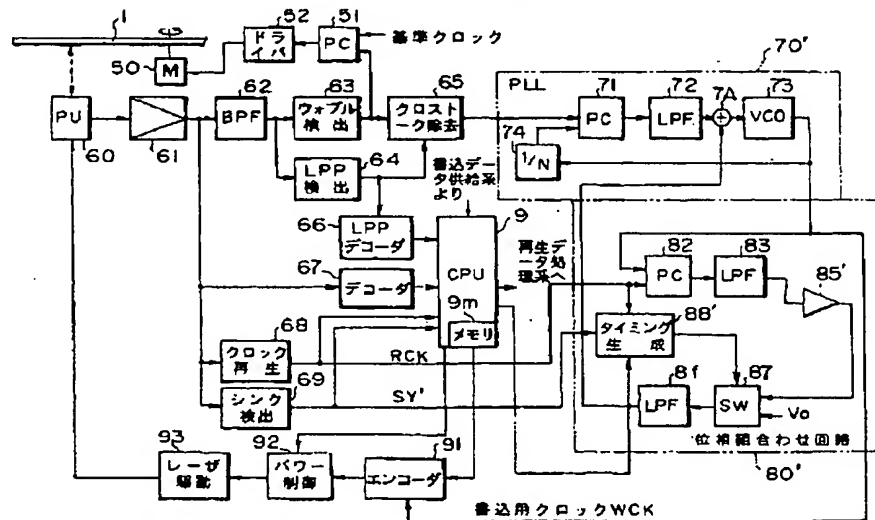
【補正対象書類名】図面

【補正対象項目名】図 11

【補正方法】変更

【補正内容】

【図 11】



【手続補正 10】

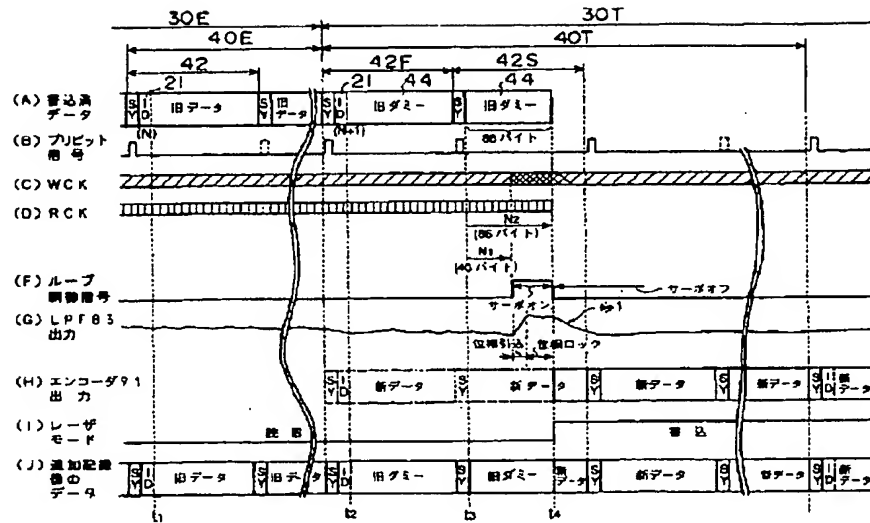
【補正対象書類名】図面

【補正対象項目名】図 12

【補正方法】変更

【補正内容】

【図 12】



【手続補正 11】

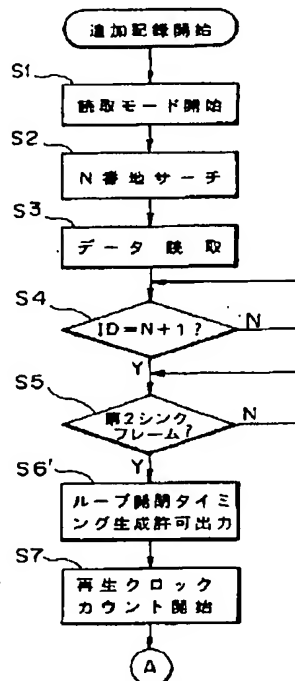
【補正対象書類名】図面

【補正対象項目名】図 13

【補正方法】変更

【補正内容】

【図 13】



【手続補正 12】

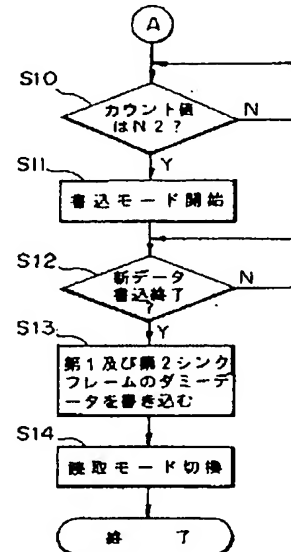
【補正対象書類名】図面

【補正対象項目名】図 14

【補正方法】変更

【補正内容】

【図 14】



【手続補正 13】

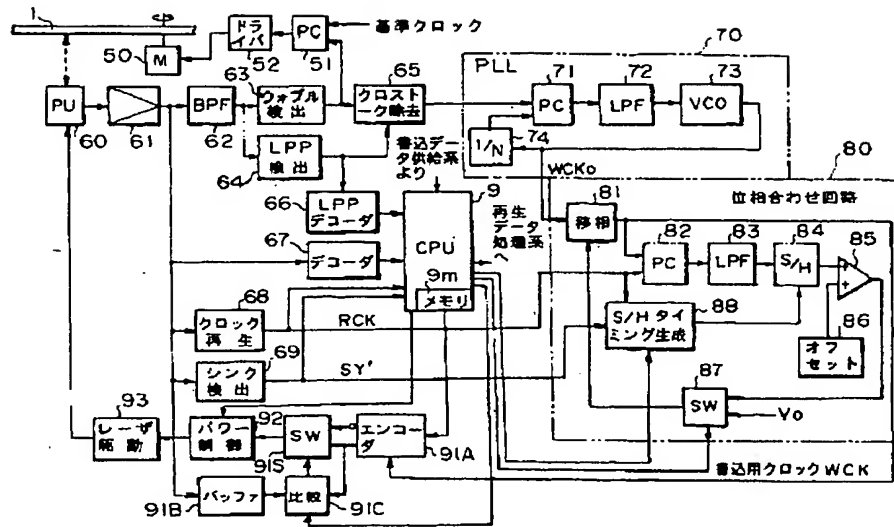
【補正対象書類名】図面

【補正対象項目名】図 15

【補正方法】変更

【補正内容】

【図 15】



【手続補正14】

【補正対象書類名】図面

【補正対象項目名】図16

【補正方法】変更

【補正内容】

【図16】

